



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2001年 3月29日

出願番号

Application Number:

特願2001-096471

出願人

Applicant(s):

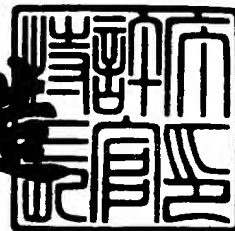
三洋電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 KHB1000004

【提出日】 平成12年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20 620

【発明の名称】 表示装置の駆動方法及び駆動回路

【請求項の数】 15

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会  
社内

【氏名】 筒井 雄介

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会  
社内

【氏名】 北川 誠

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会  
社内

【氏名】 小林 貢

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会  
社内

【氏名】 上原 久夫

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100081503

【弁理士】

【氏名又は名称】 金山 敏彦

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の駆動方法及び駆動回路

【特許請求の範囲】

【請求項 1】  $n$  行  $m$  列マトリクスの複数の画素を備える表示装置の駆動方法において、

パーシャル表示命令が出されると、

1 フレーム期間中に、

前記  $n$  行  $m$  列マトリクスの内の  $s$  行  $m$  列の画素に所定のパーシャル表示データを順次書き込むと共に、

前記  $n$  行  $m$  列マトリクスの残りの画素の内、 $k$  行  $m$  列の画素にオフ表示データを書き込むことを特徴とする表示装置の駆動方法（但し、 $n$ 、 $m$ 、 $s$  及び  $k$  は全て 1 以上の整数で、 $s < n$ 、 $k < n$  とする）。

【請求項 2】 請求項 1 に記載の表示装置の駆動方法において、

前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの残りの画素の内、 $k$  行  $m$  列の画素は、1 フレーム毎に選択される行がシフトされることを特徴とする表示装置の駆動方法。

【請求項 3】 請求項 1 に記載の表示装置の駆動方法において、

前記  $k$  行  $m$  列の画素は、1 フレーム毎に選択される行がシフトされ、

前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの残りの全画素には、合計  $(n - s) / k$  フレーム期間かけて前記オフ表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 4】  $n$  行  $m$  列マトリクスの複数の画素を備える表示装置の駆動方法において、

パーシャル表示命令が出されると、

1 フレーム期間中に、前記  $n$  行  $m$  列マトリクスの内の  $s$  行  $m$  列の画素に所定のパーシャル表示データを順次書き込むと共に、前記  $n$  行  $m$  列のマトリクスの残りの画素の内、 $k$  行  $m$  列の画素にオフ表示データを書き込み、

前記  $k$  行  $m$  列の画素は、1 フレーム毎に選択される行がシフトされ、

前記パーシャル表示の行われない前記  $n$  行  $m$  列のマトリクスの残りの全画素に

は、合計  $(n - s) / k$  フレーム期間かけて前記オフ表示データを書き込み、次の合計  $(n - s) / k$  フレーム期間には、同一行の画素に対し、オフ表示データの基準電位に対する極性を反転させたオフ表示データを書き込むことを特徴とする表示装置の駆動方法（但し、 $n$ 、 $m$ 、 $s$  及び  $k$  は全て 1 以上の整数で、 $s < n$ 、 $k < n$  とする）。

【請求項 5】 請求項 1 ～ 4 のいずれか一つに記載の表示装置の駆動方法において、

前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの残りの画素の内、1 フレーム期間中に、前記オフ表示データを書き込む  $k$  行以外の行に対しては、行選択動作を禁止することを特徴とする表示装置の駆動方法。

【請求項 6】 請求項 1 ～ 5 のいずれか一つに記載の表示装置の駆動方法において、

前記パーシャル表示命令が出されると、

1 フレーム期間中に前記  $n$  行  $m$  列の全画素を選択して表示データを書き込んで通常表示させる際の単位クロックとなる画素クロックよりも、低い周波数の画素クロックを単位クロックとして用い、

1 フレーム期間中に前記  $s$  行  $m$  列の画素に前記パーシャル表示データを書き込み、前記  $k$  行  $m$  列の画素にオフ表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 7】 請求項 6 に記載の表示装置の駆動方法において、

前記パーシャル表示命令が出され、

前記 1 フレーム期間中に、前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの残りの画素の内、前記オフ表示データの書き込みも行わない  $(n - s - k)$  行に対する選択期間の到来を検出すると、該  $(n - s - k)$  行に対する行選択パルスの転送速度を増大することを特徴とする表示装置の駆動方法。

【請求項 8】 請求項 1 ～ 7 のいずれか一つに記載の表示装置の駆動方法において、

前記パーシャル表示命令が出された後、前記  $n$  行  $m$  列マトリクスの全画素にオフ表示データを書き込んでから、前記  $s$  行  $m$  列の画素にパーシャル表示データを

順次書き込み、かつ前記  $k$  行  $m$  列の画素にオフ表示データを書き込むことを特徴とする表示装置の駆動方法。

【請求項 9】 行ライン毎に選択し、列ラインに表示データを供給することで、 $n$  行  $m$  列マトリクス複数の画素にそれぞれ表示データを書き込んで表示を行う表示装置の駆動回路であって、

各行の選択期間に対応した行クロックを発生する行クロック作成部と、

行クロックを 1 フレーム毎にカウントする行クロックカウント部と、

前記パーシャル表示を行う  $s$  行の到来タイミングを検出するパーシャル表示行検出部と、

前記パーシャル表示を行う  $s$  行と同一フレーム期間中にオフ表示データを書き込む  $k$  行の到来タイミングを検出するオフ表示行検出部と、

前記パーシャル表示行検出部又は前記オフ表示行検出部のいずれかで表示行が検出されると前記  $n$  行  $m$  列マトリクスを行毎に駆動する行ドライバでの行駆動動作を許可するドライバ制御信号を発生するドライバ制御信号発生部と、を備え、

パーシャル表示命令が出されると、1 フレーム期間中に、前記  $n$  行  $m$  列マトリクスの内の  $s$  行  $m$  列の画素を選択させ、所定のパーシャル表示データを順次書き込ませ、また、前記  $k$  行  $m$  列の画素を選択させてオフ表示データを書き込ませることを特徴とする表示装置の駆動回路（但し、 $n$ 、 $m$ 、 $s$  及び  $k$  は全て 1 以上の整数で、 $s < n$ 、 $k < n$  とする）。

【請求項 10】 請求項 9 に記載の表示装置の駆動回路において、

更にフレーム数をカウントするフレームカウント部を備え、

前記オフ表示行検出部は、前記フレームカウント部でのカウント値に基づいて、前記オフ表示データを書き込むべき行をシフトさせることを特徴とする表示装置の駆動回路。

【請求項 11】 請求項 9 又は請求項 10 に記載の表示装置の駆動回路において、

さらに表示データの所定基準電圧に対する極性を単位期間毎に反転させるための極性反転信号作成部を備え、

前記  $n$  行  $m$  列マトリクスのパーシャル表示領域以外の全画素は、合計  $(n - s$

）／ $k$ フレーム期間よりなる1背景表示期間かけて、それぞれが1回選択され、次の1背景表示期間の到来を前記極性反転信号作成部が検出し前記オフ表示データの極性を反転することを特徴とする表示装置の駆動回路。

【請求項12】 請求項9～11のいずれか一つに記載の表示装置の駆動回路において、

さらに、1フレーム期間中に前記 $n$ 行 $m$ 列の全画素を選択して表示データを書き込んで通常表示させる際の単位クロックを分周する分周回路を有し、

前記パーシャル表示命令が出されると、前記分周回路からの分周画素クロックを単位クロックとして用い、1フレーム期間中に前記 $s$ 行 $m$ 列の画素への前記パーシャル表示データの書き込み制御、及び、前記 $k$ 行 $m$ 列の画素への前記オフ表示データの書き込み制御を行うことを特徴とする表示装置の駆動回路。

【請求項13】 請求項12に記載の表示装置の駆動回路において、

前記パーシャル表示行検出部及び前記オフ表示行検出部での表示行検出信号に基づいて、

前記1フレーム期間中に、前記パーシャル表示の行われない前記 $n$ 行 $m$ 列マトリクスの残りの画素の内、前記オフ表示データの書き込みも行わない（ $n - s - k$ ）行の選択期間の到来を検出して、前記行クロックの周波数を増大する行クロック制御部を備えることを特徴とする表示装置の駆動回路。

【請求項14】 請求項9～13のいずれか一つに記載の表示装置の駆動回路において、

さらに、通常表示モードからパーシャル表示モードへの移行が命令が出されると、

該命令の次の1フレームは前記 $n$ 行 $m$ 列マトリクスの全画素への表示データをオフ表示データに変更し、

その次のフレームから、前記ドライバ制御信号発生部での前記ドライバ制御信号の発生をスタートさせるモード切替タイミング制御部を有することを特徴とする表示装置の駆動回路。

【請求項15】 請求項1～14のいずれか一つに記載の表示装置の駆動方法又は駆動回路において、

該表示装置は、液晶表示装置であることを特徴とする表示装置の駆動方法又は駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、液晶表示装置等の平面表示装置の駆動方法及び駆動回路に関し、特にそのパーシャル表示に関する。

【0002】

【従来の技術】

液晶表示装置や有機EL表示装置等に代表される平面表示装置は、薄型で軽量かつ低消費電力であることから、携帯電話などの携帯機器の表示装置として優れており、多くの携帯機器に用いられている。

【0003】

この表示装置は、マトリクス状に配置された複数の画素によって任意パターンを表示可能なマトリクス型表示装置、時計等の固定パターンを表示するセグメント型表示装置、さらにこのマトリクス型とセグメント型が同一表示パネル内に内蔵された表示装置などが知られている。

【0004】

ところで、携帯機器では、消費電力の一層の低減が求められており、表示装置においても更なる低消費電力化が要求されている。そこで、パワーセーブ時には、画面の内、必要最小限な部分だけを表示させるというパーシャル表示が可能な表示装置が従来より知られている。このようなパーシャル表示は、例えば、液晶表示装置の表示領域の一部に電池残量、時刻表示などのための固定パターン表示領域を設け、他の領域はマトリクス状に複数の画素を配置して任意のパターンを表示する領域より構成し、パワーセーブ時に固定パターン表示領域のみ駆動して固定パターンを表示させることなどで実現することができる。

【0005】

【発明が解決しようとする課題】

上述のように、同一表示パネル上に、それぞれ別個に駆動可能な複数の領域を



設け、駆動も別々に制御する構成とすれば、要求に応じて一部の領域のみ表示することができる。しかし、パワーセーブ時においも、任意の位置に表示することや任意のパターンを表示したいという要求があり、予め分割された表示領域を個別に制御する表示装置ではこの要求に対応することはできない。

#### 【0006】

また、表示装置が搭載される機種によって、パワーセーブ時の表示内容、表示位置の要求が違うため、表示パネルの構造、駆動回路を要求に応じてそれぞれ専用開発しなければならない。

#### 【0007】

マトリクス型の表示装置であれば、任意の位置に任意の表示を表示することが可能であるが、パーシャル表示で、一部のみしかパターンが表示されない場合でも、他の領域も通常通りの駆動が必要なため、これではパーシャル表示による消費電力の低減効果が低い。

#### 【0008】

上記課題を解決するために、この発明は、任意位置に任意のパターンをパーシャル表示できると共に、必要に応じてその際の消費電力を低減することのできる表示装置を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成するためにこの発明は、以下のような特徴を有する。

#### 【0010】

まず、 $n$ 行 $m$ 列マトリクスの複数の画素を備える表示装置の駆動方法において、パーシャル表示命令が出されると、1フレーム期間中に、前記 $n$ 行 $m$ 列マトリクスの内の $s$ 行 $m$ 列の画素に所定のパーシャル表示データを順次書き込むと共に、前記 $n$ 行 $m$ 列のマトリクスの残りの画素の内、 $k$ 行 $m$ 列の画素にオフ表示データを書き込むことを特徴とする。但し、 $n$ 、 $m$ 、 $s$ 及び $k$ は全て1以上の整数で、 $s < n$ 、 $k < n$ である。

#### 【0011】

本発明の他の特徴は、上記駆動方法において、前記 $n$ 行 $m$ 列のマトリクスの残

りの画素の内、 $k$  行  $m$  列の画素は、1 フレーム毎に選択される行がシフトされることである。

## 【0 0 1 2】

本発明の他の特徴は、上記駆動方法において、前記  $k$  行  $m$  列の画素は、1 フレーム毎に、選択される行がシフトされ、前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの内、残りの全画素に、合計  $(n - s) / k$  フレーム期間かけて前記オフ表示データを書き込むことである。

## 【0 0 1 3】

$n$  行  $m$  列マトリクスの複数の画素を備える表示装置の駆動方法において、本発明の特徴は、パーシャル表示命令が出されると、1 フレーム期間中に、前記  $n$  行  $m$  列マトリクスの内、 $s$  行  $m$  列の画素に所定のパーシャル表示データを順次書き込むと共に、前記  $n$  行  $m$  列のマトリクスの残りの画素の内、 $k$  行  $m$  列の画素にオフ表示データを書き込み、前記  $k$  行  $m$  列の画素は、1 フレーム毎に選択される行がシフトされ、前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの残りの全画素には、合計  $(n - s) / k$  フレーム期間かけて前記オフ表示データを書き込み、次の合計  $(n - s) / k$  フレーム期間には、同一行の各列に対し、オフ表示データの基準電位に対する極性を反転させたオフ表示データを供給することである。

## 【0 0 1 4】

本発明の他の特徴は、上記駆動方法において、前記パーシャル表示の行われない前記  $n$  行  $m$  列マトリクスの残りの画素の内、1 フレーム期間中に、前記オフ表示データを書き込む  $k$  行以外の行に対しては、行選択動作を禁止することである。

## 【0 0 1 5】

本発明の駆動回路に係る特徴は、行ライン毎に選択し、列ラインに表示データを供給することで、 $n$  行  $m$  列マトリクスの複数の画素にそれぞれ表示データを書き込んで表示を行う表示装置の駆動回路に関するものであり、各行の選択期間に対応した行クロックを発生する行クロック作成部と、行クロックを1 フレーム毎にカウントする行クロックカウント部と、前記パーシャル表示を行う  $s$  行の到来

タイミングを検出するパーシャル表示行検出部と、前記パーシャル表示を行う  $s$  行と同一フレーム期間中にオフ表示データを書き込む  $k$  行の到来タイミングを検出するオフ表示行検出部と、前記パーシャル表示行検出部又は前記オフ表示行検出部のいずれかで表示行が検出されると前記  $n$  行  $m$  列マトリクスを行毎に駆動する行ドライバの動作を許可するドライバ制御信号を発生するドライバ制御信号発生部と、を備え、パーシャル表示命令が出されると、1 フレーム期間中に、前記  $n$  行  $m$  列マトリクスの内の  $s$  行  $m$  列の画素を選択して、所定のパーシャル表示データを順次書き込み、また、前記  $k$  行  $m$  列の画素にオフ表示データを書き込むことである。

## 【 0 0 1 6 】

本発明の他の特徴は上記駆動回路において、更にフレーム数をカウントするフレームカウント部を備え、前記オフ表示行検出部は、前記フレームカウント部でのカウント値に基づいて、前記オフ表示データを書き込むべき行をシフトさせることである。

## 【 0 0 1 7 】

本発明の他の特徴は、上記駆動回路が、さらに表示データの所定基準電圧に対する極性を単位期間毎に反転させるための極性反転信号作成部を備え、前記  $n$  行  $m$  列マトリクスのパーシャル表示領域以外の全画素は、合計  $(n - s) / k$  フレーム期間よりなる 1 背景表示期間かけて、それぞれが 1 回選択され、次の 1 背景表示期間の到来を前記極性反転信号作成部が検出し前記オフ表示データの極性を反転させることである。

## 【 0 0 1 8 】

以上のような駆動方法、駆動回路を採用すれば、液晶表示パネル等の表示パネルを備える表示装置において、パネル自体の構成を変更することなく、パネルの任意の位置にパーシャル表示を行わせることができる。また、パーシャル表示の行われない背景表示領域については、1 フレーム期間中に所定の  $k$  行のみ選択するが、所定周期をかけて全領域にオフ表示データを書き込むので、長時間表示データを書き込まなくとも表示の劣化が目立たない。さらに、所定周期毎にオフ表示データを書き込む際、例えば液晶表示パネルに有効な表示データの極性反転を

行うことで、直流成分の印加により劣化する液晶など、表示素子の劣化を確実に防止することができる。

## 【0019】

本発明の他の特徴は、上記表示装置の駆動方法において、前記パーシャル表示命令が出されると、1フレーム期間中に前記 $n$ 行 $m$ 列の全画素を選択して表示データを書き込んで通常表示させる際の単位クロックとなる画素クロックよりも、低い周波数の画素クロックを単位クロックとして用い、1フレーム期間中に前記 $s$ 行 $m$ 列の画素に前記パーシャル表示データを書き込み、前記 $k$ 行 $m$ 列の画素にオフ表示データを書き込むことである。

## 【0020】

本発明の他の特徴は、上記表示装置の駆動方法において、前記パーシャル表示命令が出され、前記1フレーム期間中に、前記パーシャル表示の行われない前記 $n$ 行 $m$ 列マトリクスの残りの画素の内、前記オフ表示データの書き込みも行わない( $n-s-k$ )行に対する行選択パルスの転送速度を増大することである。

## 【0021】

また、本発明の表示装置の駆動回路に係る他の特徴は、上記駆動回路において、さらに、1フレーム期間中に前記 $n$ 行 $m$ 列の全画素を選択して表示データを書き込んで通常表示させる際の単位クロックを分周する分周回路を有し、前記パーシャル表示命令が出されると、前記分周回路からの分周画素クロックを単位クロックとして用い、1フレーム期間中に前記 $s$ 行 $m$ 列の画素への前記パーシャル表示データの書き込み制御、及び、前記 $k$ 行 $m$ 列の画素への前記オフ表示データの書き込み制御を行うことである。

## 【0022】

また、本発明の駆動回路に係る他の特徴は、上記駆動回路において、前記パーシャル表示行検出部及び前記オフ表示行検出部での表示行検出信号に基づいて、前記1フレーム期間中に、前記パーシャル表示の行われない前記 $n$ 行 $m$ 列マトリクスの残りの画素の内、前記オフ表示データの書き込みも行わない( $n-s-k$ )行の選択期間の到来を検出して、前記行クロックの周波数を増大する行クロック制御部を備えることである。

## 【0023】

このように背景表示領域において1フレーム期間中には1部のラインのみ選択し、他のラインは選択しない。また、この選択しないライン ( $n-s-k$ ) については、順に転送し各行に送出すれば行選択が実行される行選択パルスの転送速度を増大させる。転送速度の増大は、例えば行クロックの周波数を増大することによって実現できる。これによりパシャル表示モードの際には、1フレーム期間中选择する行が少なく済み、各行当たりの選択時間を長くできる。従って、その分動作クロックを低下させることが可能で、パシャル表示モードの際における表示装置、特にデジタル信号処理回路における消費電力を低減することができる。

## 【0024】

また、本発明の他の特徴は、モード切替タイミング制御部などによって、通常表示モードからパシャル表示モードへの移行命令が出されると、該命令の次の1フレームは前記  $n$  行  $m$  列マトリクスの全画素への表示データをオフ表示データに変更し、その次のフレームから、前記ドライバ制御信号発生部での前記ドライバ制御信号の発生をスタートさせることを特徴とする。

## 【0025】

このような制御により、パシャル表示命令が出されてから、一旦、 $n$  行  $m$  列マトリクスの全画素にオフ表示データを書き込んでから、パシャル表示モードに移行することになり、背景表示領域において長期間選択されることのない画素から、書き込まれていた通常データが徐々に失われていく現象が起こらなくなる。

## 【0026】

また、以上に説明した表示装置としては、例えば液晶表示装置が適用可能である。

## 【0027】

## 【発明の実施の形態】

以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

## 【0028】

図 1 は、本発明の実施形態に係る表示装置の概略構成を示している。この表示装置は、例えば携帯電話に搭載される LCD などの平面表示装置であり、一对の基板間に液晶が封入されて構成された液晶表示 (LCD) パネル 200 と、この LCD パネル 200 を駆動する駆動回路 100 と、駆動回路 100 及び LCD パネル 200 に必要な電源電圧 (例えば VDD1、VDD2、VDD3) を供給する電源回路 300 を備える。

## 【0029】

LCD パネル 200 は、各画素にスイッチ素子として薄膜トランジスタが設けられ、この薄膜トランジスタのオンオフを行方向に延びるゲートラインで制御し、この薄膜トランジスタを介して列方向に延びるデータラインから各画素に表示データを供給することで、画素毎の表示が可能なマトリクス型のアクティブ型 LCD パネルである。また、パネルの表示部の周辺には、ゲートラインを順に制御する垂直方向ドライバ (Vドライバ) 210、所定タイミングでデータラインに表示データを供給する水平方向ドライバ (Hドライバ) 220 が形成されている。但し、この Vドライバ 210 及び Hドライバ 220 は、パネル 200 上に形成されるものには限られず、IC化される駆動回路 100 の一部又は独立の回路で形成される場合もある。

## 【0030】

駆動回路 100 は、供給される RGB デジタルデータをラッチするラッチ回路 101、ラッチデータをアナログデータに変換するデジタルアナログ (D/A) 変換回路 102、変換されたアナログデータを増幅して R、G、B アナログ表示データとして LCD パネル 200 の Hドライバ 220 に対して供給するアンプ 104 を備える。駆動回路 100 は、また、図示しない CPU から命令を受け取って命令に応じた制御信号を出力する CPU インターフェース (I/F) 回路 106 と、タイミングコントローラ (T/C) 400 を備える。I/F 回路 106 は、図示しない CPU から送出される命令を受け取ってこれを解析し、命令に応じた制御信号を出力する。CPU から送出される命令は、パワーセーブ制御命令の他、表示パネルでの表示位置の調整命令やコントラスト調整命令などである。

## 【0031】

T/C400は、ドットクロックDOTCLK、水平同期信号Hsync、垂直同期信号Vsync等のタイミング信号に基づき、LCDパネル200のVドライバ210やHドライバ220の動作及び表示に必要なタイミング信号、制御信号を発生する回路であり、後述するように、本実施形態では、任意の位置でのパースシャル表示を可能とし、かつ、必要に応じてその際の消費電力の低減を可能としている。

#### 【0032】

n行×m列マトリクス of 画素を備えるLCDパネル200を例に挙げて説明すると、本実施形態において、通常表示モードには、1フレーム期間中に全画素を駆動するが、各行を順に選択し、同時にm列のデータラインに所定表示データを供給し、各行に対応する画素に表示データを書き込み、これを全n行について行うことで、図2(a)に示すように全画面表示を行う。

#### 【0033】

例えばCPUからパワーセーブ命令によってパースシャル表示モードに移行すると、図2(b)のように全n行のうちの任意のs行m列だけがパースシャル表示領域202となって所定のパースシャル表示を行い、他の領域は背景表示領域204となり背景表示(オフ表示)を行う。液晶層を挟んで設けられる共通電極と画素電極との間の電圧が0Vであると(オフ時)、白が表示されるノーマリホワイトモードLCDの場合には、上記背景表示領域204ではオフ表示に相当する白が表示される(白ラスタ表示が行われる)。

#### 【0034】

本実施形態1において、背景表示領域204は、パースシャル表示期間中、ずっとオフしているのではなく、図2(c)のように、所定期間毎に、行毎に順に選択され、対応画素に白表示データを書き込んでいる。白表示は、ノーマリホワイトの場合、原理的には電極間に電圧を印加しないことで実現されるが、実際には共通電極と白を表示する各画素電極との間に数ボルトの電圧を印加している。従って、実際の装置でのオフ表示に相当する電圧を白表示データとして背景表示領域204の各画素電極に画素トランジスタを介して書き込む。

#### 【0035】

画面が100行×100列(n, m=100)のマトリクスLCDの場合であ

って、パーシャル表示領域 2 0 2 が  $25 (s = 25) \times 100$  の画素領域で、背景表示領域 2 0 4 が  $75 \times 100$  の場合を例に説明すると、ある 1 フレーム期間中、背景表示領域 2 0 4 のうち所定  $k$  行についてはパーシャル表示領域 2 0 2 と同様に選択して、そこに背景表示データ（背景表示領域は白表示データ）を書き込む。次の 1 フレーム期間中には、背景表示領域 2 0 4 の内の他の  $k$  行を選択し、そこに白表示データを書き込む。

## 【 0 0 3 6 】

上記例では背景表示領域が 75 行であり、 $k = 1$  の設定の場合、背景表示領域 2 0 4 では 75 フレーム ( $(n - s) / k$  フレーム) に 1 回対応する行 2 0 4  $w$  が順次選択され、白表示データが書き込まれることとなる。従って、背景表示領域 2 0 4 の各行は、75 フレーム後に再び選択されるまで選択されることなく、書き込まれた白表示を維持する。

## 【 0 0 3 7 】

また、背景表示領域 2 0 4 は、複数フレーム ( $(n - s) / k$  フレーム) 期間かけて全画素に白データが書き込まれるが、その内のある行 2 0 4  $w$  について着目すると、該任意フレーム ( $(n - s) / k$  フレーム) 期間の次の複数のフレーム ( $(n - s) / k$  フレーム) 期間には、同一行に対し、先の該任意フレーム ( $(n - s) / k$  フレーム) 期間とは極性の反転（共通電極電圧を基準として極性が反転）した白表示データを書き込んで反転駆動を行っている。

## 【 0 0 3 8 】

図 3 は、本実施形態 1 の表示装置における通常表示モードからパーシャル表示モードへの移行時の動作を示している。図 1 の I / F 回路 1 0 6 が通常表示モードであると判断している場合、図 3 (a) のように LCD パネル 2 0 0 は、全画面を用いて通常表示を行う (S 1)。CPU からパーシャル表示制御命令が送られてくると、I / F 回路 1 0 6 がこれを解析してパーシャル表示制御信号を発生し、パーシャル表示モードに切り替わる (S 2)。なお、スイッチなどが設けられている場合に、これを機器使用者が切り替えることで同等のパーシャル制御信号が発生し、パーシャル表示モードに移行してもよい。

## 【 0 0 3 9 】



装置がパーシャル表示モードに切り替わった後、直接、上述のようなパーシャル及び背景表示を行っても良いが、本実施形態 1 では、通常表示からパーシャル表示への移行に際して、一旦全画面をオフ表示させている。具体的には、移行時の 1 フレームは、まず、通常通り各画素を選択して白表示データを書き込み白ラスタ表示を行う（S 3、図 3（b））。

#### 【0040】

このような制御を行うのは、パーシャル表示に切り替わった際、背景表示領域で通常表示時の表示が徐々にオフ表示状態へ変化していくことを防ぐ為である。つまり、通常表示からパーシャル表示に切り替わった時、背景表示領域 204 の画素には、前の通常フレームの画素表示データが書き込まれている。ところが背景表示領域 204 では、上述のように 1 フレーム毎には選択されない。従って、たとえ各画素に設けられている画素トランジスタが次にゲートラインが選択されるまでオフ制御されていても、トランジスタの OFF リーク電流のため、画素表示データは徐々にドレインラインに抜けてゆき、液晶層を挟んで対向する共通電極の電位に近づいていく。つまり、背景表示領域 204 では、通常表示フレームから切り替わった際に、数秒かけて徐々にオフ表示（白ラスタ）に変化することとなり、このようなゆっくりとした表示の変化は、装置使用者にとって好まれないことが多い。そこで、パーシャル表示に切り替わる前に、一旦全画面に白表示データを書き込んで白ラスタ表示をさせることで、パーシャル表示時には、全ての画素は、オフ状態である白表示状態から変化することになり、パーシャル表示時の背景表示領域 204 における表示劣化をなくすることができる。なお、以下において、LCD パネル 200 としては、特に言及しない限り、ノーマリホワイト型であり、白表示とは実質的にオフ表示であるものとして説明する。

#### 【0041】

一旦、全画面白ラスタ表示を行った後、LCD パネル 200 では、図 3（c）のようなパーシャル表示が行われる（S 4）。本実施形態 1 において、LCD パネル 200 でのパーシャル表示は、パーシャル制御信号に基づいて図 1 の T/C 400 が後述するような制御信号、タイミング信号を発生することで行われ、LCD パネル 200 にはパーシャル表示に対応するための特別な構成は不要である

## 【0042】

パーシャル表示モードにおいてパーシャル表示領域は、通常表示と同様に1フレーム中に各行が選択され表示データが書き込まれる。本実施形態1に係る背景表示領域204の駆動方法1～4については、以下に図3(c)を参照して説明する。各駆動方法のより具体的な駆動波形の例については、図9～図15及び図18を参照して後述する。

## 【0043】

なお、パーシャル表示モードから通常表示モードへの復帰は、CPUなどから通常表示制御命令が送られ、図1のI/F回路106がこれを解析し、その結果に応じて、通常表示制御信号の発生又はパーシャル表示制御信号の出力停止などを行うことで達成される(図3、S5)。

## 【0044】

## [駆動方法1]

方法1において、パーシャル表示領域202は1フレーム期間中に全 $s$ 行(ゲートライン)を順次選択して所定の表示データを書き込み、背景表示領域204では、同じ1フレーム期間中に、領域204の $k$ 行のみ選択して白表示データを書き込む。つまり、本実施形態に係るこの方法1では、いわゆる点順次駆動方法が採用されており、1フレーム期間中にパーシャル表示領域202の全 $s$ 行と、背景表示領域204の $k$ 行との合計 $s+k$ 行を順に選択し、選択された行に対し、 $m$ 列のデータラインに所定タイミングで表示データを送出することで、対応する画素に対応する表示データを順次書き込む。

## 【0045】

そして、パーシャル表示領域202が25行、背景表示領域204が75行で $k=1$ である場合、1フレーム期間に、26行(25行+1行)が順に点順次駆動され、背景表示領域204の他のライン204tは、図1のT/C400の作成する信号のうち、後述する制御信号である垂直マスク信号(VMASK)に基づいて選択が禁止される。

## 【0046】

次のフレームには、パーシャル表示領域 202 は再び全  $s$  行が選択され表示データが書き込まれる（但し、表示データは、ライン反転、1 フレーム反転により極性が 1 ライン毎、1 フレーム毎に変化する）。また、背景表示領域 204 では、前フレームで白表示データを書き込んだ  $k$  ラインと異なる  $k$  ラインが選択され、白表示データが書き込まれる。従って、全 100 行でパーシャル表示領域 202 の行数  $s$  が 25、背景表示領域 204 での 1 フレーム当たりの選択行数  $k$  が 1 であれば、上述のように、パーシャル表示領域 202 は、各フレームで全領域 202 に表示データが書き込まれ、背景表示領域 204 では、75 フレームかけて全ての領域に白表示データが書き込まれることとなる。

## 【0047】

また、 $k = 1$  で、背景表示領域 204 において、前のフレームで選択された 1 ラインと隣接する 1 ラインが次フレームに選択される場合には、隣接するラインには逆極性の白表示データを書き込んでライン反転駆動を行う。

## 【0048】

さらに、複数  $((n - s) / k)$  フレーム期間（1 背景表示期間）かけて（上記例では 75 フレーム）、背景表示領域 204 の全画素に白表示データが書き込まれたら、次の  $(n - s) / k$  フレーム期間には、同一行に逆極性の白表示データを書き込む。

## 【0049】

また、背景表示領域では、1 ライン毎かつ、1 背景画面毎に極性を反転して白表示を行うことで、背景表示領域においても液晶に直流電圧成分がずっと印加されることが防がれ、液晶の劣化を防止している。

## 【0050】

駆動方法 1 では、パーシャル表示モードに際して、以上のような手順を繰り返してパーシャル表示及び背景表示を行う。

## 【0051】

なお、駆動方法 1 において、以上では各画素を点順次駆動した場合について説明しているが、各画素を線順次駆動する場合も適用可能である。線順次駆動の場合には、あるパーシャル表示領域及び背景表示領域のいずれにおいても、対応す

る行（ゲートライン）が選択された際、データラインに順次表示データを送出するのではなく、全データラインに一斉に書き込むべき表示データを送出する。

## 【 0 0 5 2 】

## 〔駆動方法 2〕

1 フレーム期間中に、パースシャル表示領域 2 0 2 の全  $s$  行と背景表示領域 2 0 4 の  $k$  行が選択され表示データが書き込まれる点は、上記方法 1 と共通するが、方法 2 では、パースシャル表示領域 2 0 2 の全  $s$  行の画素を点順次駆動（又は線順次駆動）して表示データを書き込んだ後、全データライン（ $m$  列）に白表示データを供給してから背景表示領域 2 0 4 の  $k$  行を選択する。より具体的には、パースシャル表示領域 2 0 2 について駆動を終えた後、次の 1 水平走査期間（1 H : 1 ゲートライン選択期間）において、 $m$  本のデータライン全てに白表示データを書き込んでから、背景表示領域 2 0 4 の  $k$  行のゲートラインを選択する。これにより選択されたゲートラインの画素トランジスタがオンし、データラインに供給されている白表示データを取り込み、対応する画素は白を表示する。

## 【 0 0 5 3 】

この背景表示領域 2 0 4 において選択されて白表示データの書き込まれる行は、上記方法 1 と同様に、1 フレーム毎に変化し、かつ前フレームと次フレームとで背景表示領域 2 0 4 の選択行が隣接する場合、隣接行で白表示データの電圧が互いに逆極性となるようにする。

## 【 0 0 5 4 】

背景表示領域 2 0 4 については複数フレームで全領域に白表示データが書き込まれ、1 背景画面毎に同一行に書き込まれる白表示データの電圧極性が反転されるのは上記方法 1 と同様である。

## 【 0 0 5 5 】

上記駆動方法 1 では、パースシャル表示領域 2 0 2 に対する行選択終了後、同一 1 フレーム期間中に選択される背景表示領域 2 0 4 での行の選択期間が到来するまで H ドライバ 2 2 0 が動作を停止し、対応する行を選択した後、再び動作を停止する。これに対し、本駆動方法 2 では、パースシャル表示領域 2 0 2 に対する行選択終了後、続く 1 H 期間だけ H ドライバ 2 2 0 を動作させて各データラインに

白表示データを書き込めば、残りの背景表示領域 2 0 4 の選択期間中は動作を停止させることができる。そして、このような制御は、上述の駆動方法 1 と同様に T/C 4 0 0 における最小限の構成の変更、追加により容易に実現することができる。

## 【 0 0 5 6 】

## 〔駆動方法 3〕

この駆動方法 3 では、プリチャージ制御信号を利用して背景表示領域 2 0 4 の k 行に白表示データを書き込んでいる。アクティブマトリクス型の LCD では、通常の場合、1 H 期間中、対応するゲートラインを選択して画素トランジスタをオンさせ、その際データラインに印加される表示データを画素トランジスタを介して各画素に書き込むことで画素毎の表示を行っている。しかし、ライン反転駆動方式の場合には、特に、1 H 毎にデータラインに印加される表示データの極性が反転するため、1 H の切り替わり後、データラインの電圧が、早く確実に次に表示すべき表示データの電圧になることが望まれる。そこで、予め続く 1 H でデータラインに書き込む表示データ電圧に近い電圧を各データラインに書き込むプリチャージが行われている。特に、薄膜トランジスタの能動層に多結晶シリコンを用いる p-Si TFT LCD では、TFT の動作負荷の軽減等の目的のため、図 3 に示すように専用のプリチャージドライバ 2 3 0 を LCD パネル 2 0 0 に他のドライバ 2 1 0、2 2 0 と共に形成しておき、プリチャージ駆動を行う。

## 【 0 0 5 7 】

本実施形態の駆動方法 3 では、このようなプリチャージのために利用されるプリチャージ制御信号及びプリチャージデータを背景表示領域 2 0 4 での背景表示にも利用する。つまり、あるフレーム期間中に背景表示領域 2 0 4 の選択すべき行の選択タイミングになる際、後述するように、図 1 の T/C 4 0 0 に、その 1 H の開始直前にプリチャージ制御信号 (PCG) を発生させ、この制御信号に応じて各データラインに白表示データに相当するプリチャージデータを書き込む。なお、パースシャル表示領域 2 0 2 では、プリチャージ制御信号によって各データラインに、任意の行が選択される直前に、その行において表示すべきパースシャル表示データのレベルに応じた所定のプリチャージデータが供給される。なお、こ

の所定プリチャージデータはパーシャル表示データのレベルに関係なく、一定レベルに設定してあってもよい。

## 【 0 0 5 8 】

背景表示領域 2 0 4 において 1 フレーム毎に選択する行（ゲートライン）を変更すること、ライン毎に白表示データの極性を反転すること、1 背景画面毎に白表示データの極性を反転する点は上記方法 1 及び 2 と同一である。

## 【 0 0 5 9 】

このようにプリチャージ制御信号を利用して背景表示領域 2 0 4 の  $k$  行への白表示データを書き込むこととすれば、背景表示期間中に、H ドライバ 2 2 0 を制御する必要がなくなり省電力化に寄与することが可能となる。

## 【 0 0 6 0 】

## 〔駆動方法 4〕

本実施形態において方法 4 は、1 フレーム期間中に背景表示領域 2 0 4 の選択する  $k$  行についての駆動方法は、上記方法 1 ～ 3 のいずれかで実行し、選択しない ( $n - s - k$ ) 行の選択期間に相当する間は、1 H 期間の長さを制御するパルス（例えば行クロック）の周波数を高め、行ドライバ（V ドライバ 2 1 0）内で各行選択パルスを高速転送してしまう。

## 【 0 0 6 1 】

このような駆動を行うことで、1 フレーム期間中に表示する行数が  $s$  行 +  $k$  行の場合には、通常動作（ $n$  行駆動）の時よりも、より遅い周波数で各行を駆動することが可能で、動作周波数に消費電力の依存するデジタル処理系の回路での消費電力低減が可能となる。

## 【 0 0 6 2 】

また、1 フレーム期間中に背景表示領域 2 0 4 内で選択しない行に相当する期間は、V ドライバ 2 1 0 を停止させるのではなく、V ドライバ 2 1 0 内で出力すれば各行が選択される選択パルスを該行には出力せず高速転送する。従って、次に、目的とする行に選択パルスを出力して該行を駆動する際に、特別なパルス送り出し動作などをする必要が無く、直ちに必要な行（ゲートライン）に選択パルスを出力することができる。

## 【 0 0 6 3 】

このように、パーシャル表示モードの際は、Vドライバが行を選択するための選択パルスの転送周波数を一部増大し、それによって、表示装置全体の動作周波数を低下させる。よって、LCDパネル200の内蔵ドライバ等の設計変更を行うことなく、駆動周波数の低減による消費電力の低減を達成することが可能で、パワーセーブモードにおいてパーシャル表示をすることが可能となる。

## 【 0 0 6 4 】

## [駆動回路]

次に、上述のような駆動を実現する本実施形態に係る駆動回路の構成例について説明する。図4は図1の駆動回路100の中のT/C400の構成、図5は、本実施形態においてLCDパネル200に内蔵するVドライバ210の構成を示している。

## 【 0 0 6 5 】

T/C400には、ドットクロック (DOTCLK)、水平同期信号 (Hsync)、垂直同期信号 (Vsync) 及びパーシャル表示制御信号 (PARTIAL) が供給されており、これらに基づいて、水平クロック (CKH)、水平スタートパルス (STH)、プリチャージ制御信号 (PCG)、ゲートライン選択制御信号 (ENB)、垂直クロック (CKV)、垂直スタートパルス (STV)、極性反転制御信号 (FRP) を作成し、これをLCDパネル200のVドライバ210、Hドライバ220に供給する。

## 【 0 0 6 6 】

Hカウンタ12は、分周回路11を経て供給されるドットクロック (DOTCLK) をクロックとしてこれをカウントする。そしてHカウンタ12は、アンドゲート31を介して1H期間に1回に出力される水平同期信号 (Hsync) と後述する1H幅制御回路19からのHリセット信号 (Hreset) によりカウント値がリセットされるため、1H期間毎にドットクロックをカウントする。

## 【 0 0 6 7 】

上記分周回路11は、図6に示すような構成で2段のF/F111、112とアンドゲート113、115、インバータ114及びドットクロックと分周クロックとを選択して出力するオアゲート116を備える。そして、上記駆動方法4

のように背景表示領域204について1フレーム期間中にk行しか選択しないこととした場合に、通常のドットクロック(DOTCLK)を分周し、Hカウンタ12、後述するVカウンタ34及びフレームカウンタ47に対しその分周クロックを供給することにより、パースシャル表示モードの際に回路の動作速度を低下させて消費電力を下げるために用いられる。

## 【0068】

Hカウンタ12のドットクロックカウント値は、デコーダ13でデコードされ得られたパルス信号がフリップフロップ(F/F)20、アンドゲート27を介して、水平クロック(CKH)として出力され、LCDパネル200のHドライバ220に供給される。

## 【0069】

デコーダ14は、Hカウンタ12のドットクロックカウント値に基づいて各1水平走査期間中のスタートタイミングを決めるパルスを発生し、これがF/F21及びアンドゲート28を介して水平スタートパルス(STH)として出力される。

## 【0070】

デコーダ15は、Hカウンタ12のドットクロックカウント値に基づいて、1水平期間の開始直前のタイミングを求めてパルス信号を作成する。このパルス信号は、F/F22及びアンドゲート29を介して、1Hの開始直前に、データラインの電圧を続く1H期間の表示データ電圧に近づけるためのプリチャージ制御信号(PCG)として出力される。

## 【0071】

デコーダ16は、Hカウンタ12のドットクロックカウント値に基づいて、各ゲートラインの選択許可期間を制御するタイミングを求め、これがF/F23及びアンドゲート30を介し、ゲートライン選択制御信号(ENB)として出力される。この制御信号(ENB)は、1Hの開始直前にデータラインに対して行われる上記プリチャージ期間中に、ゲートラインが選択され画素トランジスタがオンしてプリチャージデータが各画素に書き込まれることを禁止するための制御信号である。このゲートライン選択制御信号(ENB)は、図5に示すLCDパネル20



0のVドライバ210に供給される。

#### 【0072】

図5に示すVドライバ210は、パネルのゲートライン数(n)に応じ、後述する垂直クロック(非反転CKV、反転CKV)をクロックとして、垂直スタートパルス(STV)を順次シフトする複数段のシフトレジスタ251、252・・・、y番目とy+1番目のシフトレジスタ出力の論理積を出力するアンドゲート261、262・・・、ゲートラインへの各最終出力ゲート271、272・・・を有し、上記ゲートライン選択制御信号(ENB)がこの最終出力ゲート271、272・・・の一方の入力端に供給されている。そして、この制御信号(ENB)は、1H期間の開始直前のプリチャージ期間中にLレベルとなるため、ゲートラインへのゲート選択信号の出力が制御信号(ENB)のLレベルの間、禁止される。

#### 【0073】

Hカウンタ12でのドットクロックカウント値をデコードするデコーダ17からの出力は、F/F24を介してアンドゲート44の一方の入力端に供給されている。このアンドゲート44の他方の入力端には、分周回路11を介してドットクロック(DOTCLK)が供給されている。通常表示状態において分周回路11で分周は行われないので、このゲート44のアンド出力はドットクロックとほぼ等しく、これがクロックとして供給されるF/F41のQ端子からは、1H毎にレベルの変化する信号が得られ、これは垂直クロック(CKV)としてLCDパネル200のVドライバ210に出力される。

#### 【0074】

デコーダ18は、Hカウンタ12のドットクロックカウント値に基づいたパルス信号を発生し、これは、1H毎に表示データを反転させるための反転制御信号(FRP)を出力するためのF/F40にクロックを供給するアンドゲート43に1入力としてF/F25を介して供給されている。

#### 【0075】

1H幅制御回路19は、各ゲートラインの1選択期間に対応する1H期間に1回Hリセット信号(Hreset)を発生し、後述のアンドゲート32及びVカウンタ34と共にクロック作成部の一部として機能する。また、上記駆動方法4にお

いて説明したように、 $T/C400$ 内で、1H期間、1V（1フレーム）期間の基準となるHリセット信号（Hreset）の出力タイミングを速め、背景表示領域において選択されない行についてデータ処理期間を短縮する。これにより、図5のVドライバでのゲート選択パルスの転送速度が向上する。

#### 【0076】

この1H幅制御回路19は、図7に示すような構成であり、例えばHカウンタ値が高速リセット設定値「10」の時、Hを出力するデコーダ191、Hカウンタが通常リセット設定値「120」の時、Hを出力するデコーダ192、これらデコーダ191、192の出力と、後述するVマスク信号（VMASK）との反転、非反転信号とのアンドをとるゲート193、195、2つのアンドゲートのオアをとるオアゲート196を有する。背景表示領域204であるため、後述するVマスク信号（VMASK）がLレベルで、該当期間中での選択が行われない期間には、インバータ194によって反転マスク信号がアンドゲート193に供給され、アンドゲート193からのデコーダ191の出力が許可される。よって、通常、カウンタ値が $m$ （例えば $m=120$ 、但しここで $m$ は帰線期間を含む）で出力されるHリセットパルス（Hreset）を、Hカウンタが10まで数えたところで出力することができる。

#### 【0077】

Vカウンタ34は、アンドゲート32の出力をクロックとして受け、アンドゲート33の出力によりリセットされる。アンドゲート32には、1H幅制御回路19からのHリセットパルス（Hreset）と、分周回路11を介して供給されるドットクロック（DOTCLK）とが入力されており、このVカウンタ34は、1Hに1回Hとなるパルスをカウントし、1V期間毎に垂直同期信号（Vsync）に応じてそのカウンタ値をリセットする。

#### 【0078】

デコーダ35は、Vカウンタ34でのカウンタ値に基づいて1垂直走査期間（1V）に1回、1V期間のスタートを示す垂直スタートパルス（STV）をF/F37を介して出力する。

#### 【0079】

デコーダ 3 6 は、V カウンタ 3 4 でのカウント値に基づいて、該カウント値が LCD パネル 2 0 0 のライン数（ゲートライン数  $n$ ）に応じた数値になると V リセットパルス（Vreset）を F / F 3 8 を介して出力する。この V リセット信号（Vreset）は、F / F 4 0 のリセット端子に供給されて 1 H 及び 1 フレームごとに表示データの極性を反転させる反転パルス（FRP）をリセットし、また F / F 4 1 のリセット端子にも供給されて上述の V クロック（CKV）をリセットする。さらに、この V リセットパルスは、ドットクロック（DOTCLK）との論理積をとるアンドゲート 4 2 に供給され、F / F 3 9 は、このゲート 4 2 のアンド出力をクロック端子に受けて動作することで、F / F 3 9 からは 1 フレーム毎に反転する Q 出力が得られる。

## 【 0 0 8 0 】

EXOR ゲート 4 5 は、上記 F / F 3 9 及び 4 0 の出力の排他的論理和をとり、これが極性反転パルス（FRP）として LCD パネル 2 0 0 の H ドライバ 2 2 0 に出力される。

## 【 0 0 8 1 】

さらに、本実施形態では、図 4 の下側に記載されているように、フレームカウンタ 4 7、フレームカウント値に応じてマスク信号（VMASK）を生成・出力するマスク生成回路 4 8 及び F / F 5 0、フレームカウント値をデコードしてフレームカウンタをリセットするためのデコーダ 4 9 及び F / F 5 1 を備える。

## 【 0 0 8 2 】

フレームカウンタ 4 7 は、V リセット（Vreset）、H リセット（Hreset）及びドットクロックのアンドをとるアンドゲート 4 6 からの出力をカウントする。アンドゲート 4 6 からは、1 V 期間中に 1 回、即ち 1 フレーム期間に 1 回 H レベルとなる出力が得られるため、フレームカウンタ 4 7 は、このアンド出力をカウントすることでフレーム数をカウントし、結果を MASK 生成回路 4 8 とデコーダ 4 9 に出力する。

## 【 0 0 8 3 】

MASK 生成回路 4 8 は、図 8 に示すような構成で、パースシャル表示行の到来タイミングを検出するパースシャル表示行検出部に相当するコンパレータ 4 8 2、

背景表示領域内でオフ表示データを書き込む行の到来を検出するオフ表示行検出部に相当するコンパレータ481及び加算回路483を備え、また、オアゲート484及び485、インバータ486を備える。加算回路483は、任意に設定可能な設定値、例えば「25」をフレーム(F)カウント値に加算してコンパレータ481に出力する。

## 【0084】

コンパレータ481は、Vカウンタ34からのVカウント値と、Fカウント値+設定値「25」と比較し、Vカウント値がFカウント値+設定値「25」になるとHレベルを出力し、他の値のときはLレベルを出力する。また、コンパレータ482は、Vカウント値が、目的とするパーシャル表示位置に応じて任意に設定された値、例えばここでは「25」より小さければHレベルを出力し、「25」以上でLレベルを出力する。

## 【0085】

よって、オアゲート484からは、Vカウント値が、0-24の期間と、Fカウント値+25の期間だけHレベルが出力され、オアゲート485からは、後述するパーシャル表示スタート信号(SPART)がHレベル(パーシャル表示モード)の時だけ、上記ゲート484からの出力がVマスク信号(VMASK)として、F/F50を介して出力される。

## 【0086】

なお、通常表示時には、スタート信号(SPART)がLレベルを維持するため、インバータ486を介してオアゲート485には常時Hが入力されるため、Vマスク信号(VMASK)はHレベルを維持する。

## 【0087】

Vマスク信号(VMASK)は、アンドゲート27~30の一方の入力端に供給されており、Vマスク信号(VMASK)がLレベルの時には、Hクロック(CKH)、Hスタートパルス(STH)、プリチャージ制御信号(PCG)及びイネーブル信号(ENB)の出力を禁止する。また、Vマスク信号(VMASK)は1H幅制御回路19に供給されており、1H幅制御回路19は、上述のようにこのVマスク信号(VMASK)がLレベルの時だけ、1H期間をHカウント値が10になったタイミングで、

Hリセットパルス (Hreset) を出力する。更に、このVマスク信号 (VMASK) は、アンドゲート43の入力端にも供給されており、Vマスク信号 (VMASK) がLレベルの時にはF/F40の出力が固定され、結果として極性反転信号 (FRP) のレベルがその期間、固定される。

## 【0088】

デコーダ49には、背景表示領域204のライン数 ( $n-s$ ) と、パースシャル表示時において1フレーム期間中に選択する背景表示領域204のライン数  $k$  とに応じて  $[(n-s)/k]$  が設定される。例えば、ここでは、 $n=100$ 、 $s=25$ 、 $k=1$  で、「75」が設定されており、Fカウンタ値が75、つまりパースシャル表示時において75フレーム目にパルスが出力される。このパルスは、F/F51を介してフレームカウンタ47にFリセットパルス (Freset) として供給され、フレームカウンタ47は、パースシャル表示モードの時は、 $[(n-s)/k]$  フレーム (75フレーム) 毎にカウンタ値がリセットされる。

## 【0089】

F/F52は、図1のI/F回路106からパースシャル表示モードになると出力されるパースシャル表示制御信号 (PARTIAL) をD端子に受け、Vリセット (Vreset)、Hリセット (Hreset) 及びドットクロックのアンドをとるアンドゲート46からの出力をクロックとして動作する。アンドゲート46からは、1V期間に1回立ち上がるパルス信号が供給されるため、F/F52は、パースシャル表示制御信号を受けると次の1V期間にこれを取り込んでQ端子から出力する。

## 【0090】

F/F52からのQ出力はアンドゲート54の一方の入力と、F/F53のD端子に供給されている。また、F/F53はクロックとして、上記F/F52と同様にアンドゲート46からの出力を受けており、F/F53のQ端子からは、パースシャル表示が命令されてから1V期間が経過した時にHレベルとなるパースシャル表示スタート信号 (SPART) が出力され、このスタート信号 (SPART) は上記マスク生成回路48及び分周回路11に供給される。また、F/F53の反転Q出力は、アンドゲート54の他の入力に供給されている。従って、アンドゲート54からは、パースシャル表示制御信号 (PARTIAL) がHレベルとなった次の1V

期間だけHレベル、他の期間はLを維持するフラッシュ信号（FLASH）が出力される。

#### 【0091】

上記フラッシュ信号（FLASH）は、オアゲート55、56、57の一方の入力端に供給されており、フラッシュ信号（FLASH）がHになると、各オアゲート55～57からのR、G、Bデジタル出力が全てHレベルとなる。

#### 【0092】

このR、G、Bデジタル出力の全Hレベルは、白表示を意味しており、このR、G、Bデジタル出力が、図1のラッチ回路101等のデジタル処理回路に出力され、D/A変換回路102、アンプ104を経て白表示のためのR、G、Bアナログ表示信号としてLCDパネル200のHドライバ220に供給される。

#### 【0093】

従って、以上のような構成により、パーシャル表示制御信号がHとなると、図3に示したように、まず、次の1フレームでは、全画面白表示（白ラスタ表示）となり、命令から1フレーム経過したときに、F/F53からパーシャル表示スタート信号（SPART）が出力され、パーシャル表示動作が開始する。

#### 【0094】

##### [表示装置動作]

次に、上記構成によって実現される表示装置の動作タイミングについて、さらに図9～11を参照して説明する。なお、図9は通常表示時、図10は全画面白表示時、図11は上述の駆動方法1及び方法4が採用されたパーシャル表示時におけるタイミングチャートをそれぞれ示している。

#### 【0095】

##### ・通常表示

通常表示時には、パーシャル表示制御信号（PARTIAL）がLレベルを維持するので、Vマスク信号（VMASK）がHレベルを維持する。このため、偶数フレーム、奇数フレームとも、1H幅制御回路19はデータライン数mに応じてHリセットパルス（Hreset）を出力するため、1H期間は一定で、Vクロック（CKV）も一定となる。また、Hクロック（CKH）、Hスタートパルス（STH）、プリチャージ

制御信号 (PCG)、イネーブル信号 (ENB) のいずれも禁止されることなく出力される。

#### 【 0 0 9 6 】

従って、図 5 に示す LCD パネル 2 0 0 の V ドライバ 2 1 0 は、V スタートパルス (STV) が出力されると、1 H 毎の V クロック (CKV) に従って各ゲートラインを選択する信号を順次発生し、対応するゲートラインにイネーブル信号 (ENB) がそれぞれ H レベルの期間ゲート選択信号を順に出力していく。また、LCD パネル 2 0 0 の H ドライバは、H スタートパルス (STH) が出力されると、V ドライバ 2 1 0 によって選択されたゲートラインの各画素に書き込むべき表示データを H クロック (CKH) に従って、順次、対応するデータラインに出力していく。

#### 【 0 0 9 7 】

このように V ドライバ 2 1 0 によってゲートラインを順に選択し、H ドライバ 2 2 0 から対応して順にデータラインに表示データを出力してゆき、選択されたゲートラインに接続された画素トランジスタを ON させ、データラインと画素トランジスタを介して各画素に表示データを書き込む。そして、このような動作を各フレームで繰り返し、任意の表示を行う。

#### 【 0 0 9 8 】

なお、表示データは、極性反転制御信号 (FRP) が 1 H、つまり 1 ライン毎に反転することでその極性が反転制御されて各画素に印加される。また、偶数フレームと奇数フレームとでもこの制御信号 (FRP) が反転するため、同一行についてはフレーム毎に極性の反転した表示データが供給される。

#### 【 0 0 9 9 】

##### ・白ラスタ表示

上述のように、図 1 の I / F 回路 1 0 6 等から T / C 4 0 0 に供給されるパシヤル表示制御信号 (PARTIAL) が L レベル (通常表示) から H レベル (パシヤル表示) へと変化すると、続く 1 V 期間だけ H レベルとなるフラッシュ信号 (FLASH) がアンドゲート 5 4 から出力される。従って、図 1 0 に示すように、R, G, B 表示データが 1 V (1 フレーム) 期間全て白データとなる。この白ラス

タ表示の際、他のタイミング信号は、図9において説明した通常表示時と変わらないので、Vドライバ210は、通常表示時と同様にVスタートパルス（STV）が出力されるとゲートラインを順に選択し、Hドライバ220が、Hスタートパルス（STH）が出力されると、各データラインに順次白データを出力する。従って、1フレーム期間は、画面全てに白が表示される。

#### 【0100】

##### ・ パーシャル表示（駆動方法1及び駆動方法4）

図11は、図4に示すような構成によって実現される駆動方法のパーシャル表示時の動作を示しており、上述の駆動方法1と駆動方法4の両方が実行されている。つまり、所定の位置へのパーシャル表示、残りの背景表示領域での白表示、に加え、1フレーム期間中の動作速度を低下させて駆動回路における消費電力低減を図っている。1フレーム期間における動作速度の低下は、図4の1H幅制御回路19によるVドライバの高速転送制御と、分周回路11の分周信号をドットクロック（DOTCLK）として使用することで可能となっている。

#### 【0101】

パーシャル表示制御信号（PARTIAL）がHレベルに変化すると、上述のように最初の1フレームでは画面全体に白が表示され、次のフレームになるとパーシャル表示スタート信号（SPART）が、LレベルからHレベルに変化する。従って、図6に示す構成の分周回路11では、アンドゲート115からのドットクロック（DOTCLK）の出力が禁止され、ここでは、F/F111及び112によって4分周されたドットクロック（以下分周ドットクロック）がアンドゲート113及びオアゲート116を介して出力される。この4分周ドットクロックに従って動作する回路はその動作速度が4分の1となり、図11に示すように作成される制御信号（CKH、CKV、ENB、STH、FRP等）も1/4の周波数となる。

#### 【0102】

また、MASK生成回路48では、コンパレータ482及びコンパレータ481からの比較出力がオアゲート485によって選択され、図8のように、コンパレータ482及び加算回路483に対する設定値をパーシャル表示位置が1～25ラインとなるように設定した場合、Vカウント値が0～24の期間と、フレー



ムカウント値+25の期間HレベルとなるVマスク信号 (VMASK) が出力される。ゲートラインを1行目から順に選択していくVドライバ210には、まず、パーシャル表示が行われる1~25ラインまでの間、Vマスク信号 (VMASK) に基づいて作成されたイネーブル信号 (ENB) が供給される。従って、この期間 (パーシャル表示期間) は、Vドライバ210にHレベルのイネーブル信号 (ENB) の出力が許可され、各ライン (行) への選択パルスの出力が許可される。よって、上記4分周ドットクロックに基づいて作成された通常時の1/4の周波数のVクロック (CKV) に従って動作する点を除き、Vドライバ210は、通常表示時と同様に各ゲートラインにイネーブル信号 (ENB) がHレベルの期間、ゲート選択パルスを出力する。また、Hドライバ220においても、Hクロック (CKH) 及びVクロック (CKV) 等が通常時の1/4の周波数である点を除いて、通常時と同様に、1H期間中、データラインに選択されたゲートラインに対応した画素に書き込む表示データ (パーシャル表示データ) を順次出力する。

#### 【0103】

マスク生成回路48は、Vカウント値がパーシャル表示領域外になるとVマスク信号 (VMASK) をLとする。従って、このVマスク信号 (VMASK) がLの期間はVドライバ210によるゲートラインの選択は禁止され、極性反転信号 (FRP) の反転動作は、直前の状態を維持する。

#### 【0104】

また、Vマスク信号 (VMASK) がLレベルになると、1H幅制御回路19は、例えば、図7において、通常Hカウント値が120になると出力していたHリセットパルス (Hreset) をHカウント値が10になった時点で出力する。従ってHリセットパルス (Hreset) の出力周期が速くなり、Hカウンタ12でのカウント処理が速くなり、Hカウント値に応じて作成されるF/F41からのVクロック (CKV) の周期が、図11に示されるように短くなる。ここで、図5に示すように、LCDパネル200のVドライバ210では、シフトレジスタ251・・・がこのVクロック (CKV) をシフトクロックとして動作しているため、Vクロック (CKV) が速まることで、その期間、Vドライバ210内でのシフトレジスタ転送速度が速まる。

## 【 0 1 0 5 】

背景表示期間において、マスク生成回路 4 8 のコンパレータ 4 8 1 が背景表示領域で選択すべきラインを検出すると、図 1 1 に示すように該当するライン選択期間だけ V マスク信号 (VMASK) を H レベルとする。これにより、V ドライバ 2 1 0 は、V マスク信号 (VMASK) H レベル期間中、パーシャル表示期間と同様に、対応するゲートラインに選択信号を出力する。また、H ドライバ 2 2 0 は、H スタートパルス (STH) が出力されると、供給されている白表示データを極性反転制御信号 (FRP) によって決まる極性で順次データラインに書き込む。従って、背景表示領域 2 0 4 の所定のラインが 1 フレーム期間中にパーシャル表示領域と同様に選択されここに白表示データが書き込まれる。

## 【 0 1 0 6 】

図 1 1 において、上段の偶数フレームに続く下段の奇数フレームでは、パーシャル表示期間中における動作は、極性反転制御信号 (FRP) が偶数フレームと逆転していて、各画素に偶数フレームの時と逆極性の表示データが書き込まれる点を除くと同じである。背景表示期間においては、奇数フレームでは、一旦 L レベルとなった V マスク信号 (VMASK) が再び H レベルになるタイミングが 1 H 期間遅い。これは、図 8 のマスク生成回路 4 8 において、F カウント値が前フレーム (偶数フレーム) より 1 つ多いためであり、前フレームで選択された次のラインが選択されている。また、このとき、H ドライバ 2 2 0 からは、極性反転制御信号 (FRP) のレベルが偶数フレーム時と逆であるため、前フレームと逆極性の白表示データが各データラインに出力され、選択されたゲートラインに対応する画素に書き込まれる。

## 【 0 1 0 7 】

以上の動作を繰り返し行うことで、図 3 (c) に示すようにパーシャル表示領域 2 0 2 には、1 フレーム毎に表示データが書き込まれ、また背景表示領域 2 0 4 では、選択されないライン (ゲートライン) に相当する期間 (2 0 4 t) は V ドライバ 2 1 0 内で高速転送が行われ、所定ラインだけが選択され白表示データが書き込まれる。そして、背景表示領域 2 0 4 では、図 8 のような設定の場合には、7 5 フレームで全領域に白表示データが書き込まれる。更に、次の 7 5 フレ

ームには、極性反転制御信号（FRP）のレベルが前の75フレームの時と反転するので、同一のゲートラインには、75フレーム前とは極性が逆の白表示データが書き込まれる。

#### 【0108】

##### ・パーシャル表示（駆動方法1）

次に、図12を用いて駆動方法1のみの場合の具体的な動作タイミングを説明する。駆動方法1では、上述のようにVドライバ210において高速転送を実行せず、図4の構成を用いて説明すると、分周回路11での分周を行わず、かつ背景表示期間中において、1H幅制御回路19がHリセットパルスの出力周期を速めない。タイミングチャートにおいて、図11と相違する点は、Vクロック（CKV）の周期が、Vマスク信号（VMASK）のレベルに関わらず一定であることであり、他は図11で説明したパーシャル表示動作及び背景表示動作と同じである。このような駆動方法1により、上記図11のときのようにパーシャル表示モード時における駆動周波数が変わらないのでデジタル回路系での消費電力は変わらないが、マスク生成回路48での設定（コンパレータ481、482及び加算回路483）により、任意の位置にパーシャル表示することができ、また、背景表示領域については1フレーム期間中に任意の数のラインを選択し白表示データを書き込むことができる。

#### 【0109】

##### ・パーシャル表示（駆動方法2）

次に、図13を用いて駆動方法2のみの場合の具体的な動作タイミングを説明する。図12の駆動方法1と同様に、Vドライバ210での高速転送、及び駆動周波数の低減は行っていない。上記図12に示す駆動方法1と相違する点は、図13では、背景表示期間の開始後、最初の1H期間においてHスタートパルス（STH）が出力され、Hドライバ220が、このHスタートパルスに応じてデータラインに白表示データを書き込むことである。このため、Vマスク信号（VMASK）が背景表示期間中にHレベルとなって、Vドライバ210が対応するゲートラインを選択すると、既に各データラインに書き込まれている白表示データが直ちに対応する画素に書き込まれる。

## 【0110】

## ・ パーシャル表示（駆動方法2及び4）

図14は、上記駆動方法2と駆動方法4とを組み合わせた駆動方法での具体的な動作タイミングを示している。上記図13と相違する点は、図11と図12との差異と同様に、まず、パーシャル表示モードの場合に図4の分周回路11などを利用することで各回路の動作周波数を下げ、図14では、通常表示動作よりもCKV、ENB、FRP、VMASK、表示データ等の周期が長いことである。また、背景表示期間において最初の1Hでデータラインに白表示データを書き込んだ後、及び背景表示領域の1フレーム中に選択すべきゲートラインの選択が終了した後、図4の1H幅制御回路19などを利用することで、Hリセットパルス（Hreset）の出力タイミングを速め、最終的にLCDパネル200のVドライバ210におけるシフトレジスタのデータ転送クロックとなるVクロック（CKV）の周波数を上げている。このため、図14に示すようにVマスク信号がLレベルの期間はVドライバ内でゲート選択パルス的高速転送が行われている。

## 【0111】

## ・ パーシャル表示（駆動方法3）

図15は、駆動方法3の場合の具体的な動作タイミングを示している。この方法においても、上記図12に示した駆動方法1と同様に、Vドライバ210でのパルス高速転送、及び駆動周波数の低減は行っていない。上記図12の方法では、背景表示期間中において、Vマスク信号（VMASK）がHレベルとなった時、Hスタートパルス（STH）に応じてHドライバ220がデータラインに白表示データを書き込むが、図15の方法では、通常表示と同様に、Hスタートパルスの直前にプリチャージ制御信号（PCG）を発生させ、プリチャージ回路によって各データラインに白表示データを書き込む。

## 【0112】

ここで、図16及び図17を用いてプリチャージ波形及びLCDパネル200に内蔵可能なプリチャージドライバ230の構成について説明する。プリチャージドライバ230は、プリチャージ制御信号（PCG）とその反転信号に応じてオンオフするTFTよりなるスイッチSW1、SW2・・・SWmにより構成され

ている。そこで、図16のようにプリチャージ制御信号 (PCG) が出力されて各スイッチSW1、・・・がオンすると、対応するスイッチSWを介してプリチャージデータラインに接続された1番目からm番目まであるデータラインに、それぞれプリチャージデータ (PCD) が印加される。このプリチャージデータ (PCD) は、図16に示すように、プリチャージ制御信号 (PCG) の出力直後に始まる1H期間にデータラインに印加されるR、G、B表示データと、極性が一致している。そして、その電圧レベルは、通常表示時において、R、G、B表示データの中間電圧レベルに設定している。

#### 【0113】

背景表示期間中は白表示データがデータラインに向けて出力されており、白表示であればR、G、B表示データの中間電圧レベルも白表示データと同等になる。従って、背景表示期間中、このプリチャージドライバ230のスイッチSW1～SWmをオンさせれば、Hドライバ220を動作させなくても、各データラインにプリチャージデータを選択されたゲートラインの画素に白表示データとして供給できる。従って、Hドライバ220の負荷を減らし、その消費電力を低減することが可能となる。

#### 【0114】

##### ・パーシャル表示 (駆動方法3及び4)

図18は、駆動方法3と方法4とを組み合わせた場合の具体的な動作タイミングを示している。上記図15と相違する点は、パーシャル表示モードにおける各タイミング信号の周波数が低いことと、背景表示期間のVマスク信号 (VMASK) がLレベルの期間、Vクロック (CKV) の周波数を上げ、Vドライバ内においてゲート選択信号を高速転送している点である。このような駆動方法により、パーシャル表示モードにおける駆動周波数の低減による消費電力の低減と、Hドライバの処理負荷の低減の両方が可能となる。

#### 【0115】

##### 【発明の効果】

以上説明したように、この発明においては、液晶表示パネル等の表示パネルの構成を変更することなく任意の位置にパーシャル表示を行わせることができる。

また、背景表示領域については、所定周期で全領域にオフ表示データを書き込むことで、長時間表示データを書き込まなくとも表示の劣化が目立たず、また、所定周期毎にオフ表示データを書き込む際に液晶が反転駆動されるように表示データを反転させることで、液晶等の劣化を確実に防止することができる。

【0116】

また、背景表示領域において1フレーム期間中には1部のラインのみ選択し、他のラインは選択せず、その分動作クロックを低下させることでパースシャル表示モードの際における表示装置、特にデジタル信号処理回路における消費電力を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る表示装置の構成を示す図である。

【図2】 本発明の実施形態に係る表示装置の表示種類を説明する概念図である。

【図3】 本発明の実施形態に係る表示モードの切替動作とその際の表示状態を示す図である。

【図4】 本発明の実施形態に係る駆動回路のタイミングコントローラ部における構成を示す図である。

【図5】 本発明の実施形態に係るLCDパネルのVドライバの構成を示す図である。

【図6】 図4の分周回路11の構成を示す図である。

【図7】 図4の1H幅制御回路19の構成を示す図である。

【図8】 図4のMASK生成回路48の構成を示す図である。

【図9】 本発明の実施形態に係る通常表示時の動作を示すタイミングチャートである。

【図10】 本発明の実施形態に係る白ラスタ表示時の動作を示すタイミングチャートである。

【図11】 本発明の実施形態に係る駆動方法1及び方法4を実行する場合のパースシャル表示時の動作を示すタイミングチャートである。

【図12】 本発明の実施形態に係る駆動方法1を実行する場合のパース

ル表示時の動作を示すタイミングチャートである。

【図 1 3】 本発明の実施形態に係る駆動方法 2 を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図 1 4】 本発明の実施形態に係る駆動方法 2 及び方法 4 を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図 1 5】 本発明の実施形態に係る駆動方法 3 を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

【図 1 6】 本発明の実施形態において用いられるプリチャージ波形を示す図である。

【図 1 7】 本発明の実施形態において用いられるプリチャージドライバ 2 3 0 の構成を示す図である。

【図 1 8】 本発明の実施形態に係る駆動方法 3 及び方法 4 を実行する場合のパーシャル表示時の動作を示すタイミングチャートである。

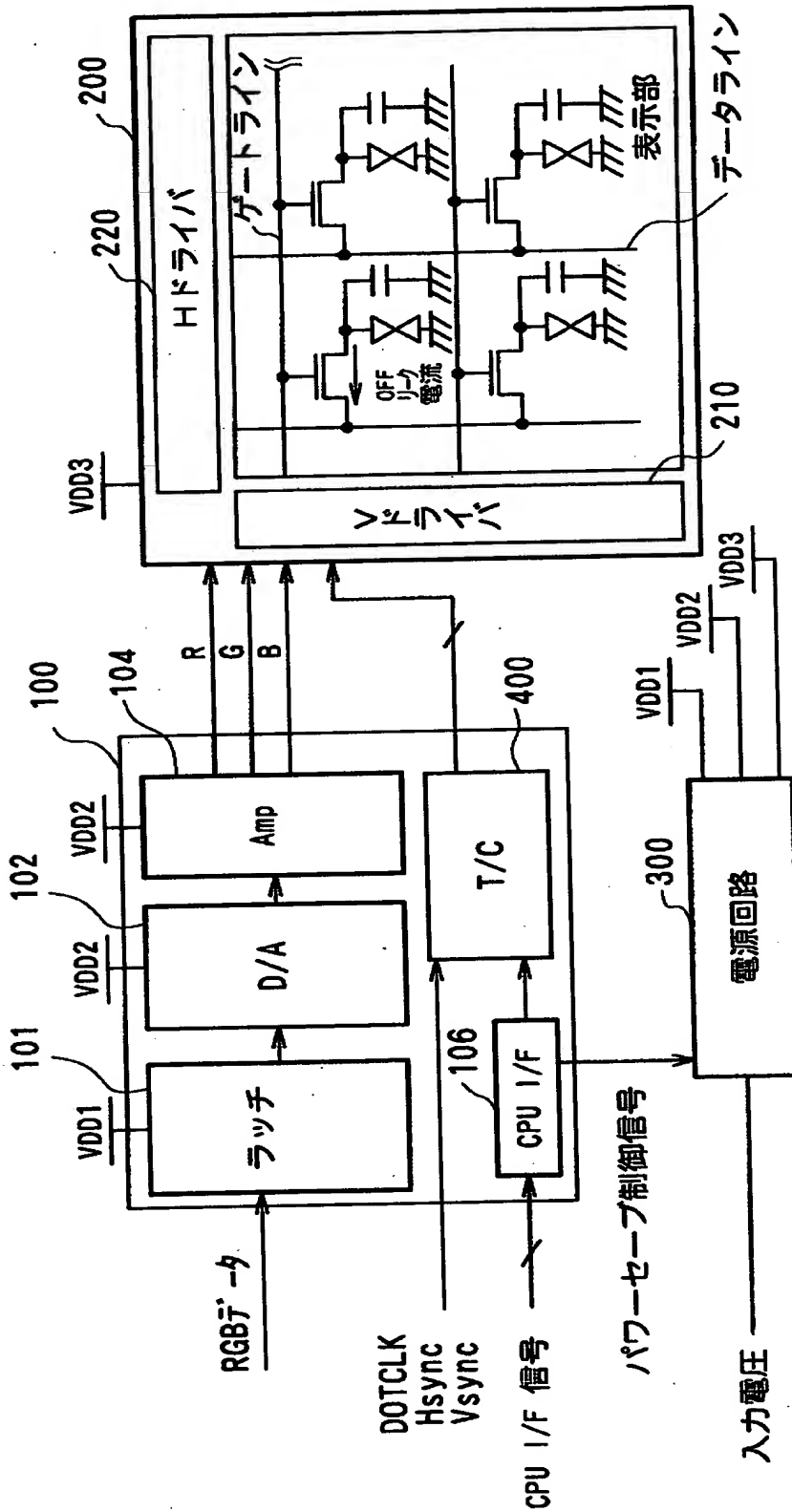
#### 【符号の説明】

1 1 分周回路、1 2 Hカウンタ、1 3, 1 4, 1 5, 1 6, 1 7, 1 8, 3 5, 3 6 デコーダ、1 9 1 H幅制御回路、3 4 Vカウンタ、4 7 フレームカウンタ、4 8 MASK生成回路、4 9 デコーダ（フレームカウンタリセット用）、5 2, 5 3 F/F（モード切替タイミング制御部）、1 0 0 駆動回路、2 0 0 表示パネル（LCDパネル）、2 1 0 Vドライバ、2 2 0 Hドライバ、2 3 0 プリチャージドライバ、4 0 0 T/C（タイミングコントローラ）。

【書類名】

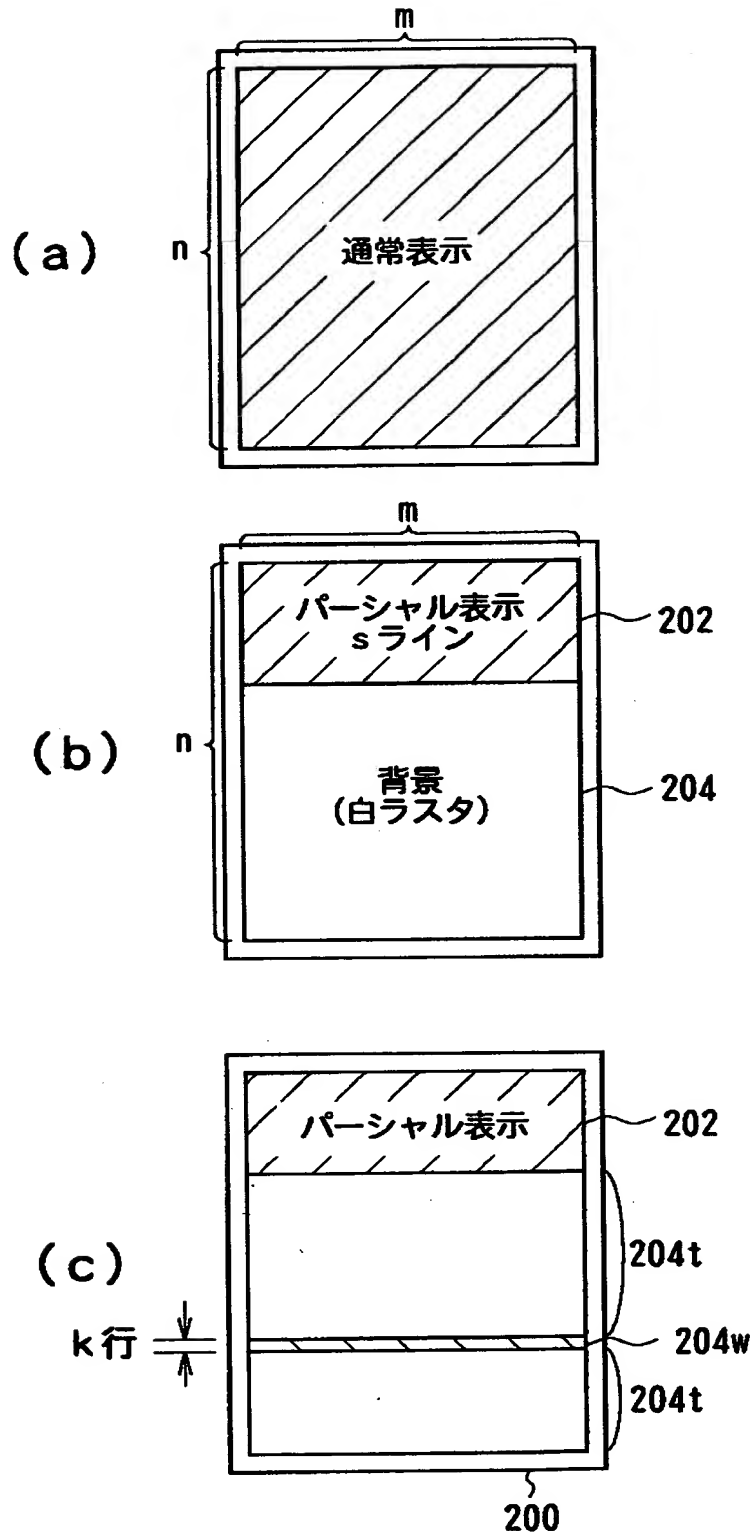
凶面

【図 1】

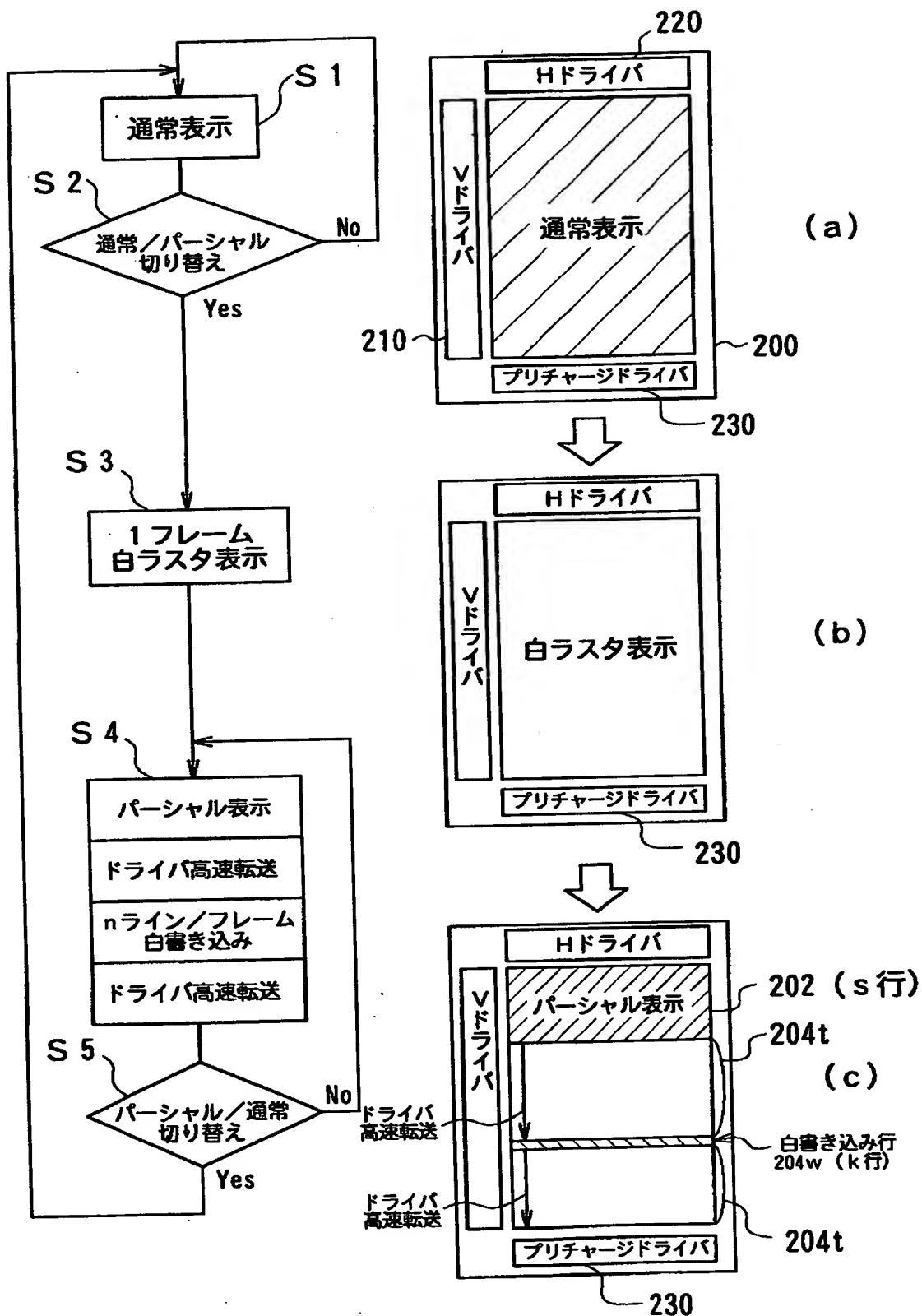




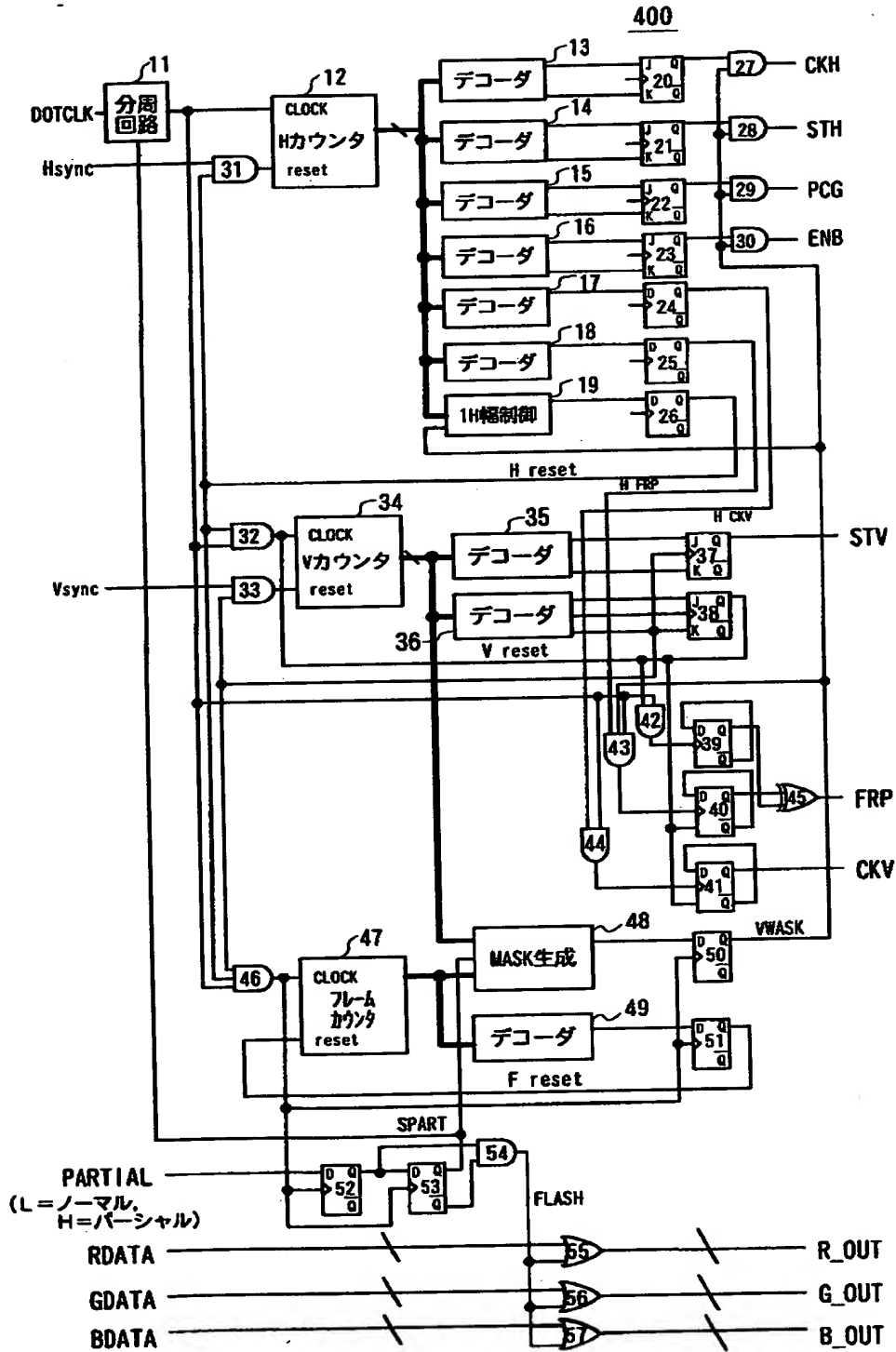
【図 2】



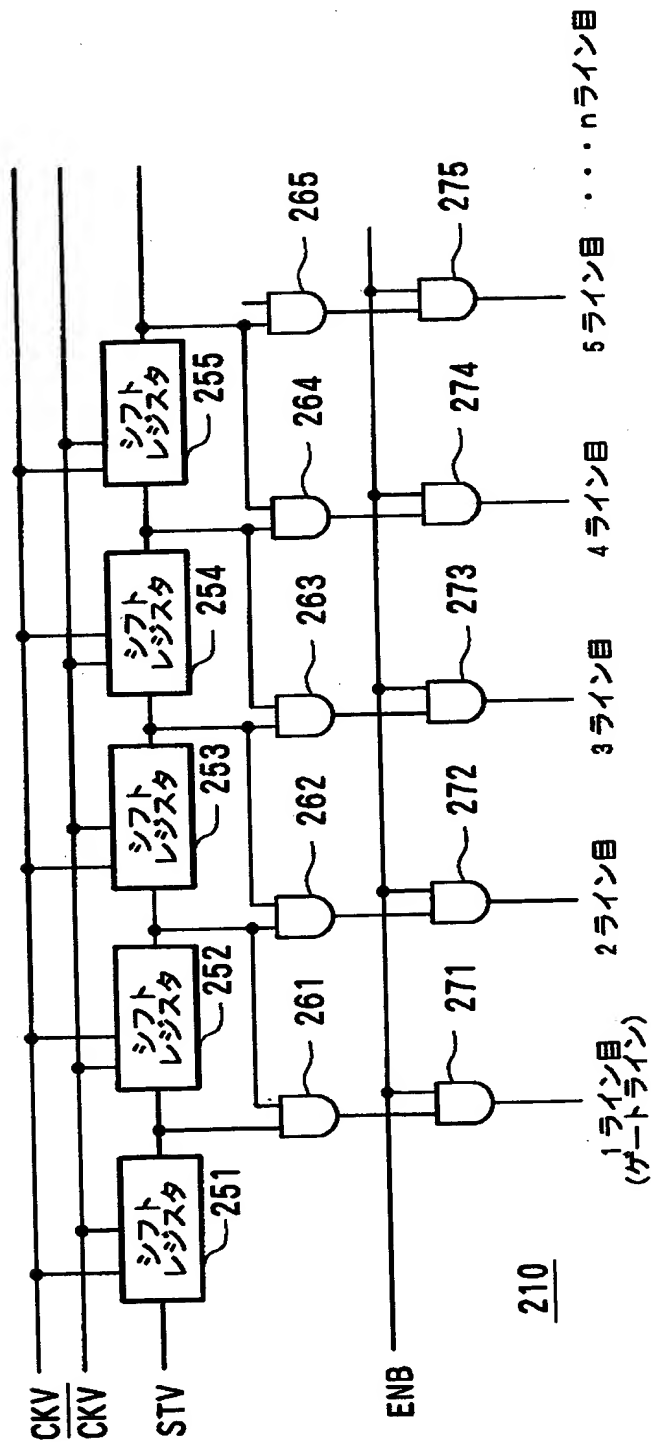
【図 3】



【図 4】

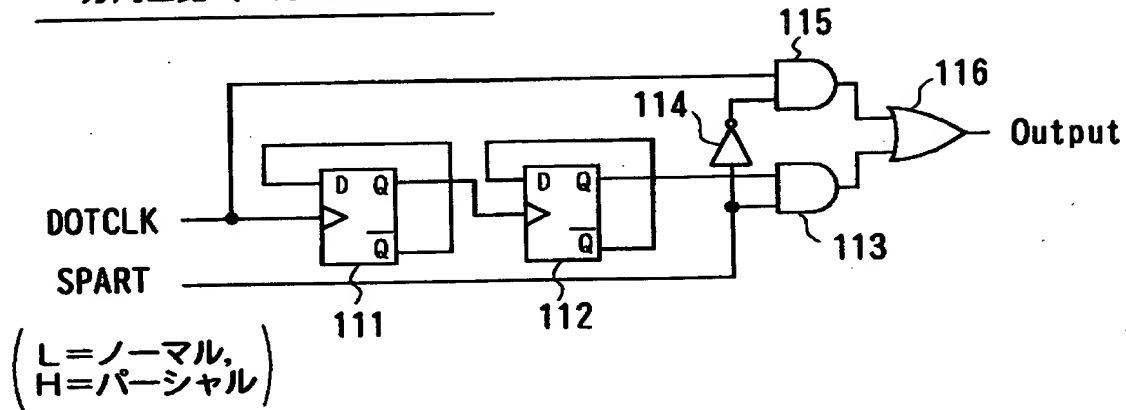


【図 5】



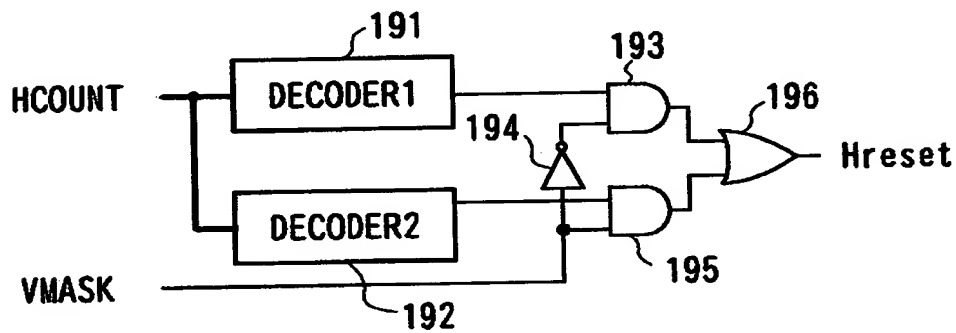
【図 6】

分周回路（4 分周回路） 11



【図 7】

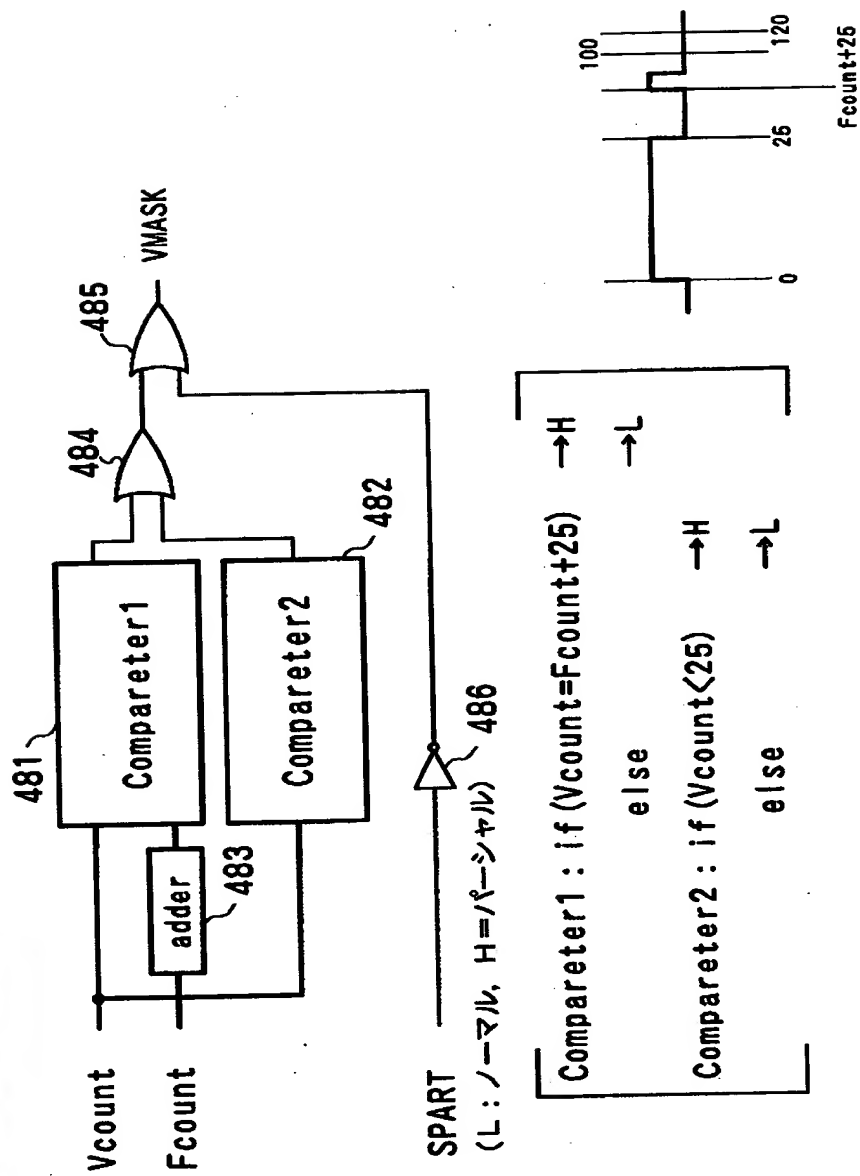
1 H 幅制御回路 19



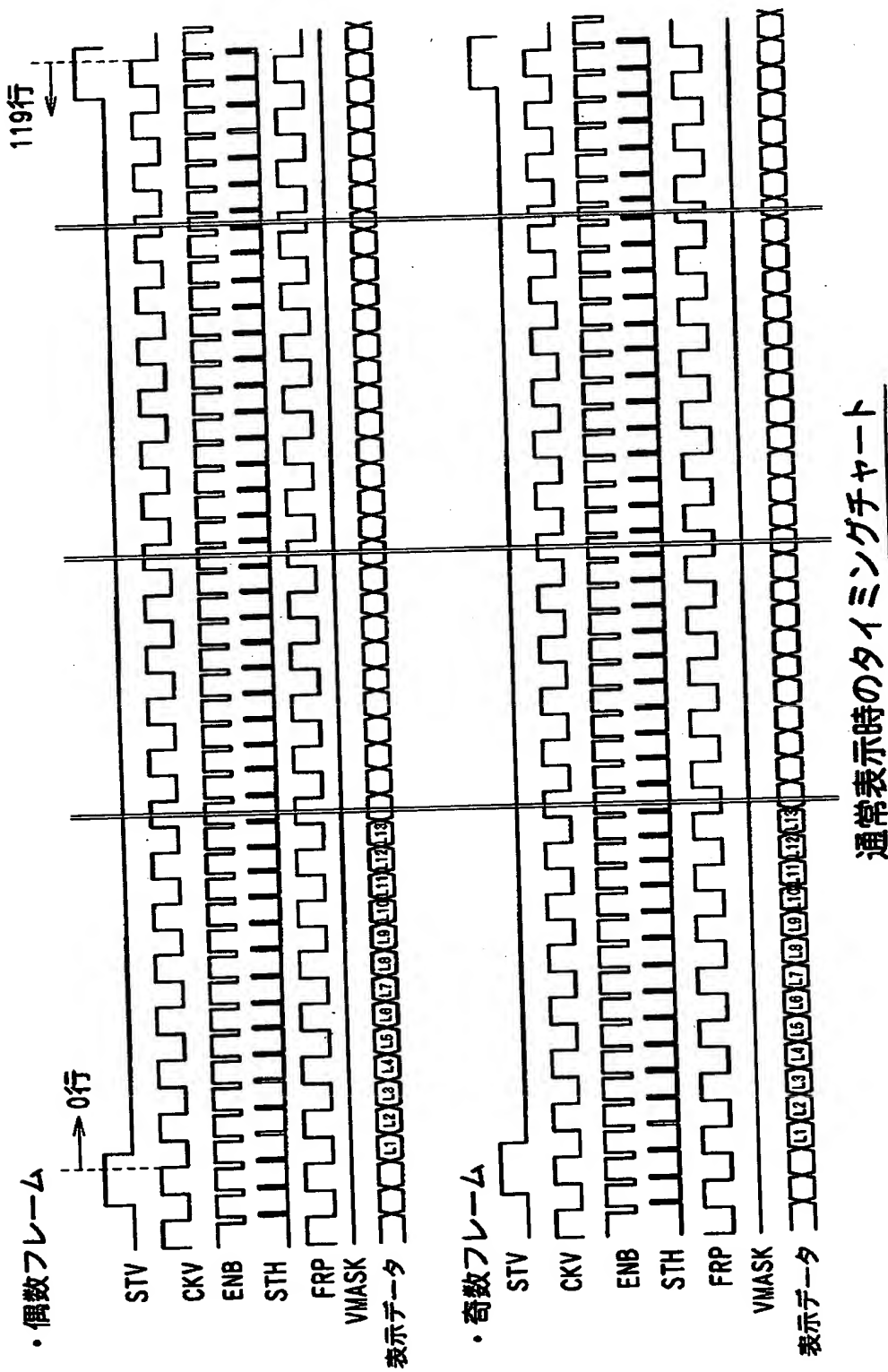
DECODER1 : if (COUNT=10)	→H
else	→L
DECODER2 : if (COUNT=120)	→H
else	→L

【図8】

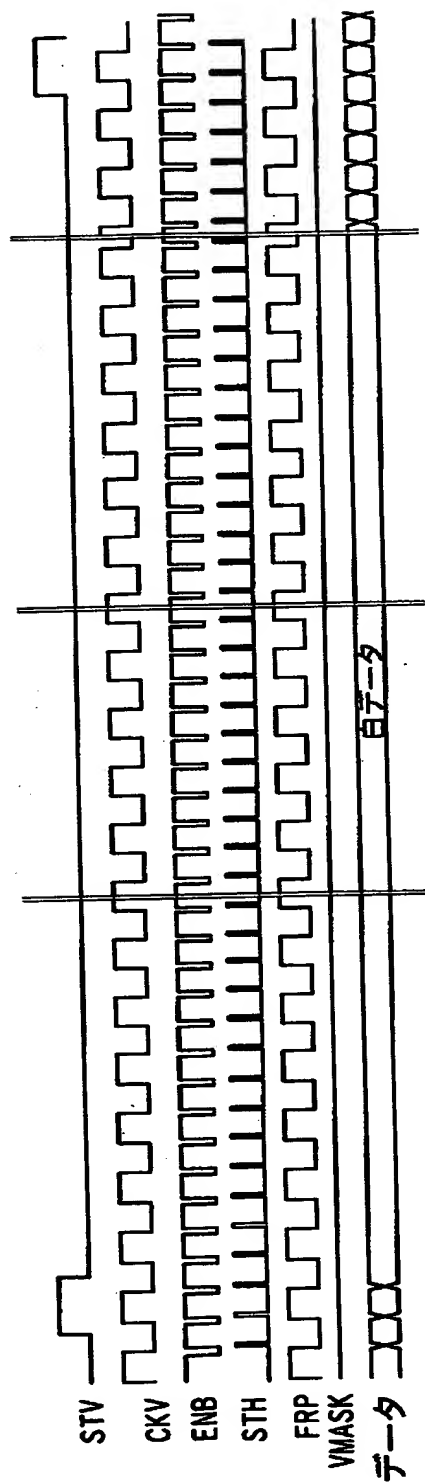
MASK生成回路 48



【図9】



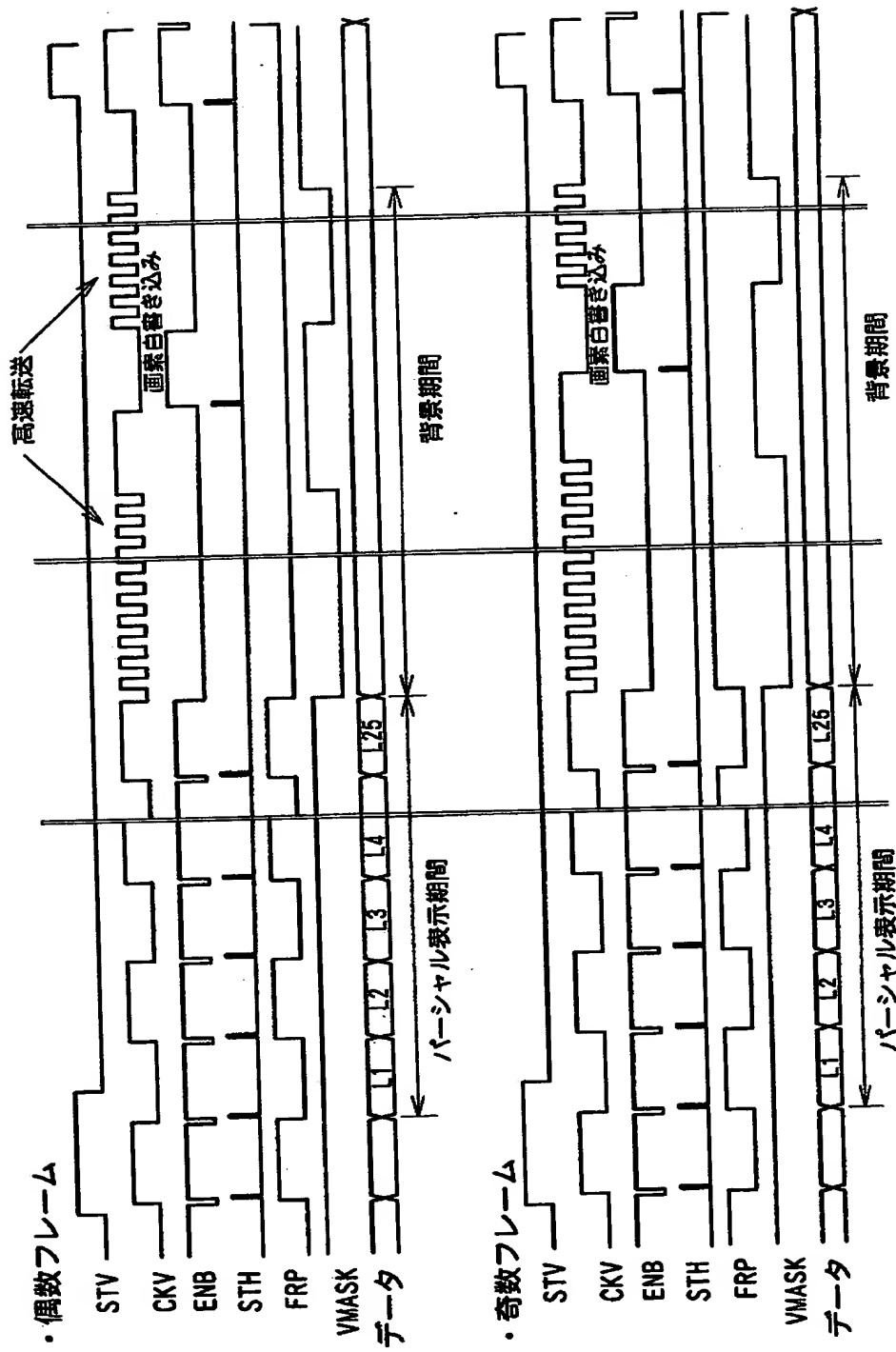
【図10】



白ラスタ表示時のタイミングチャート

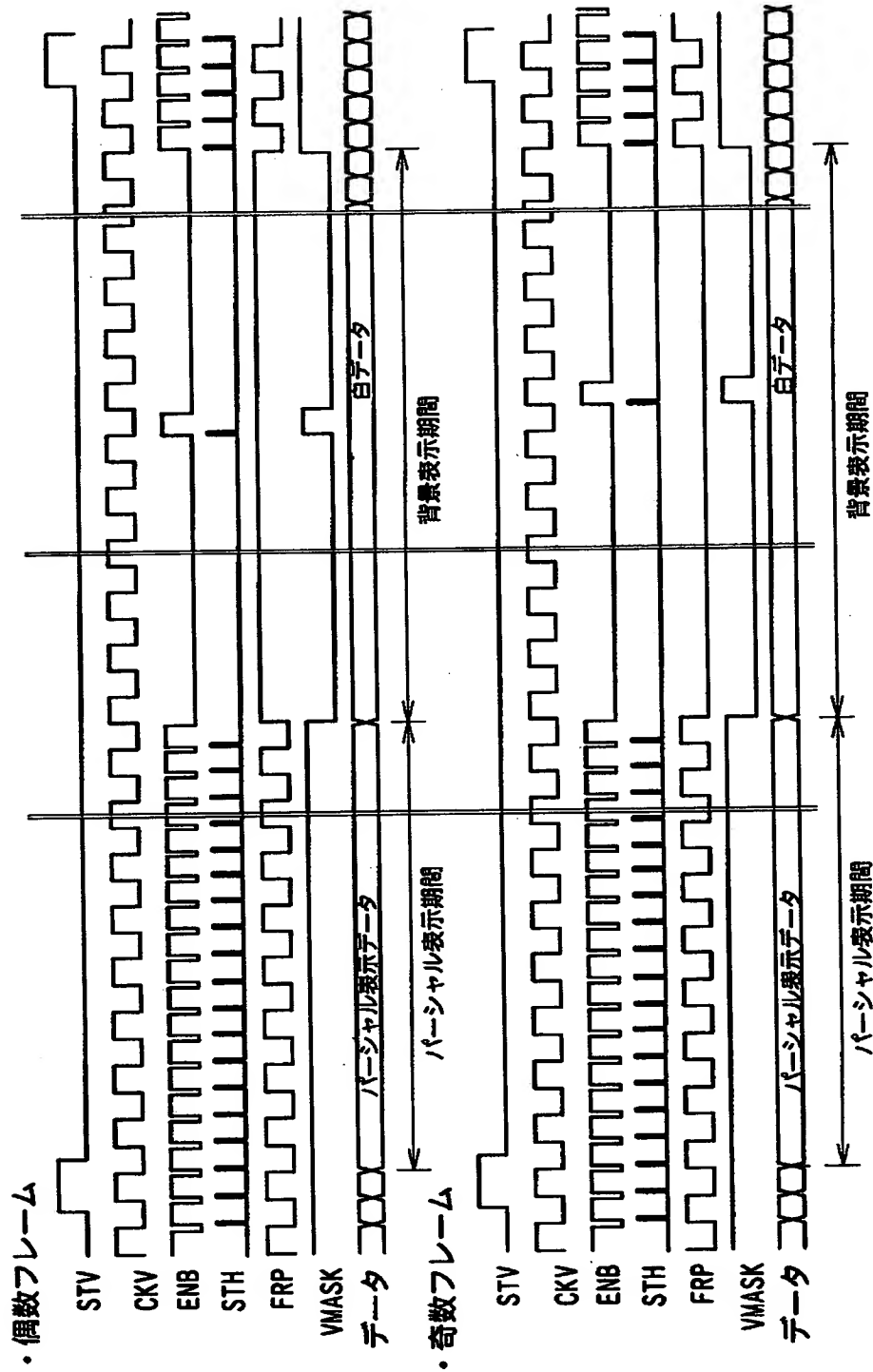


【図 11】



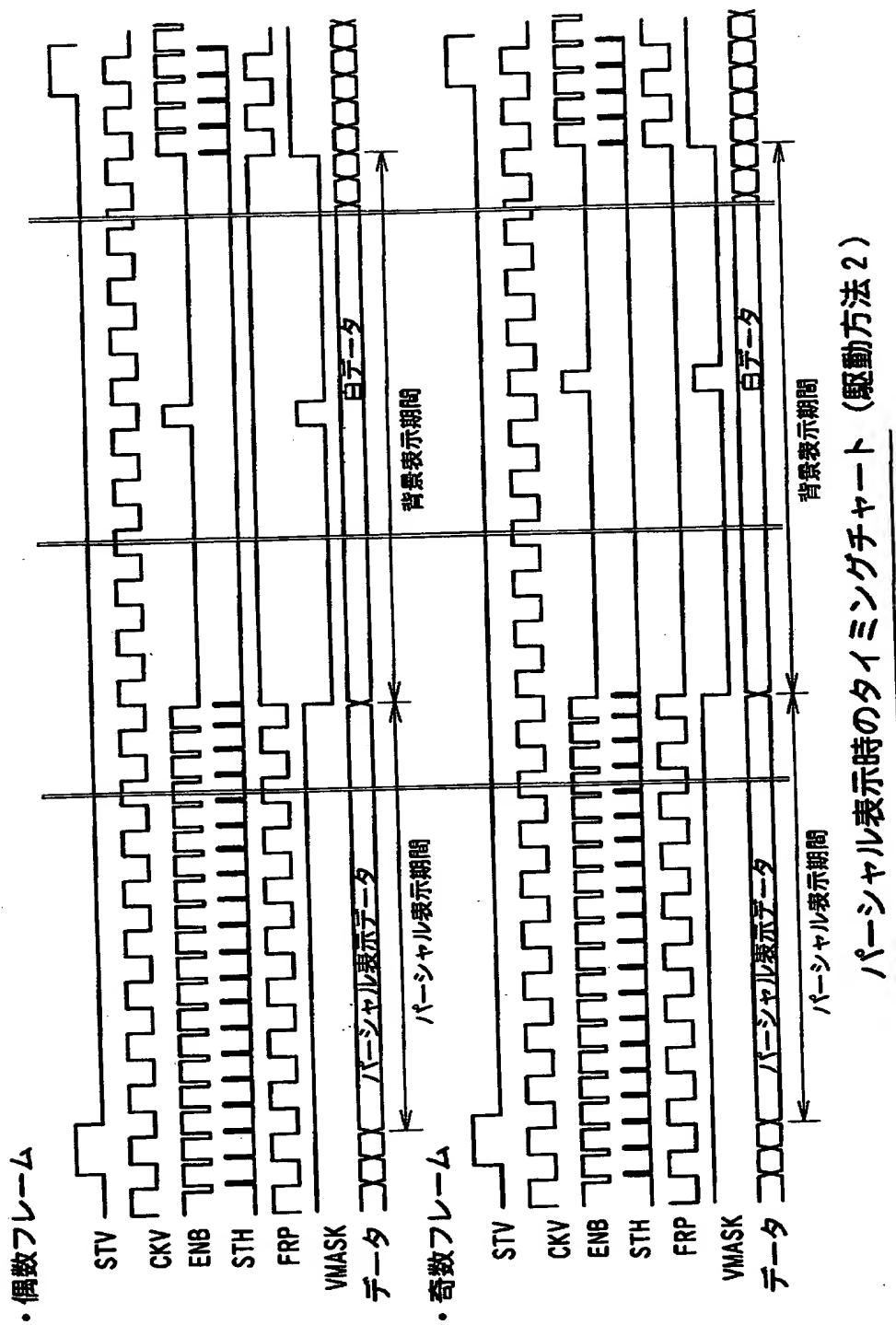
パースナル表示時のタイミングチャート（駆動方法1及び4）

【図 12】

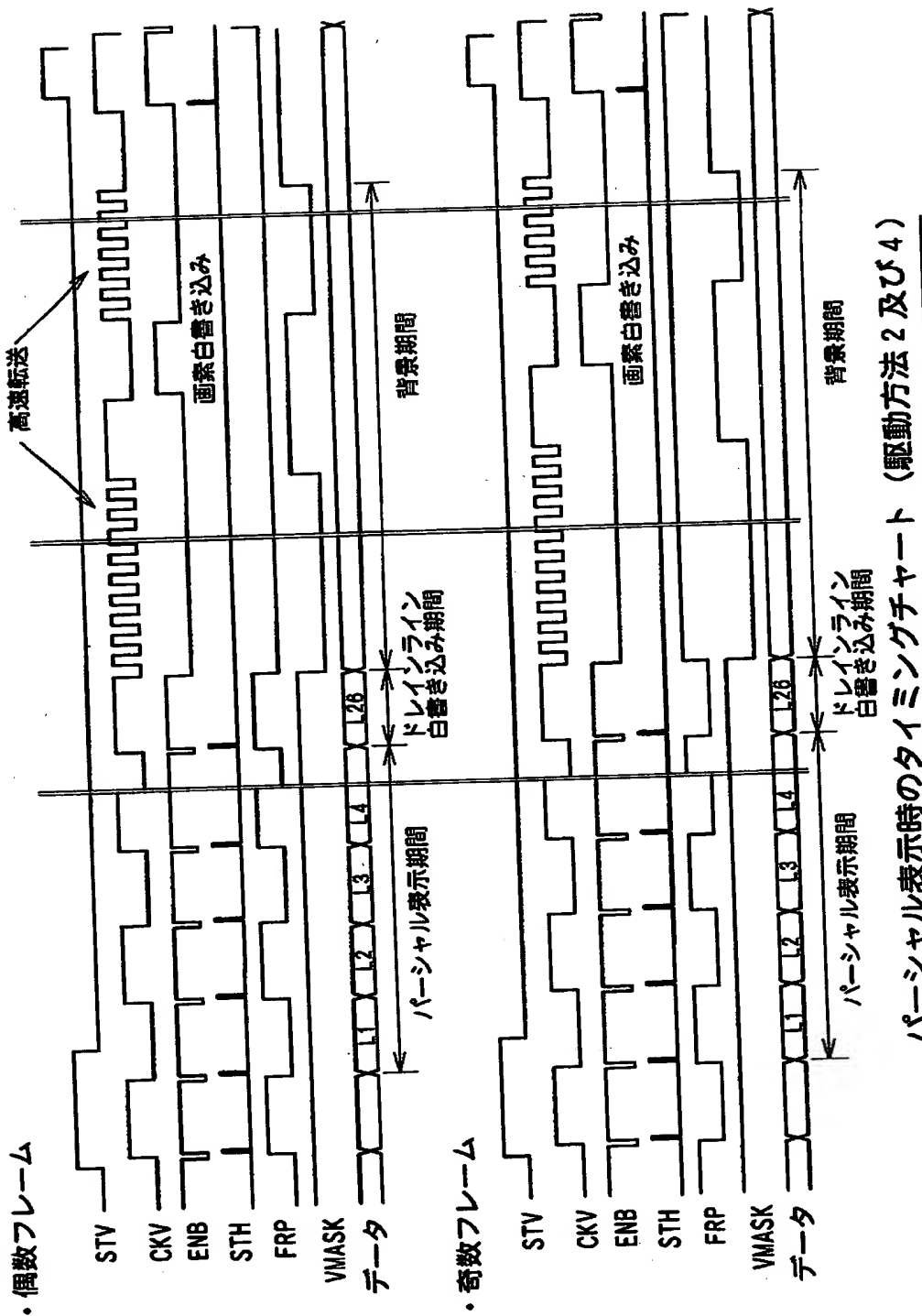


パシシャル表示時のタイミングチャート (駆動方法 1)

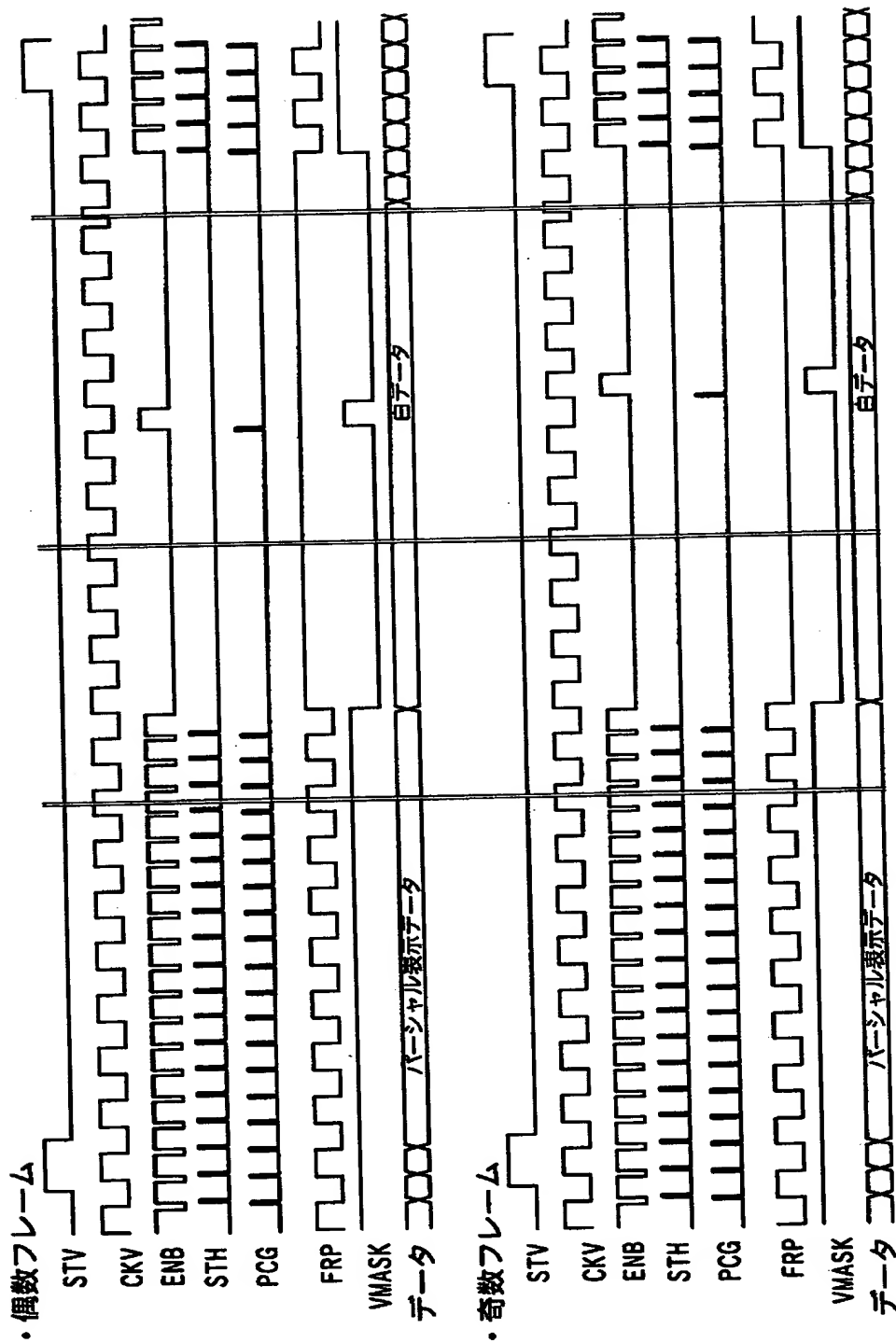
【図13】



【図14】

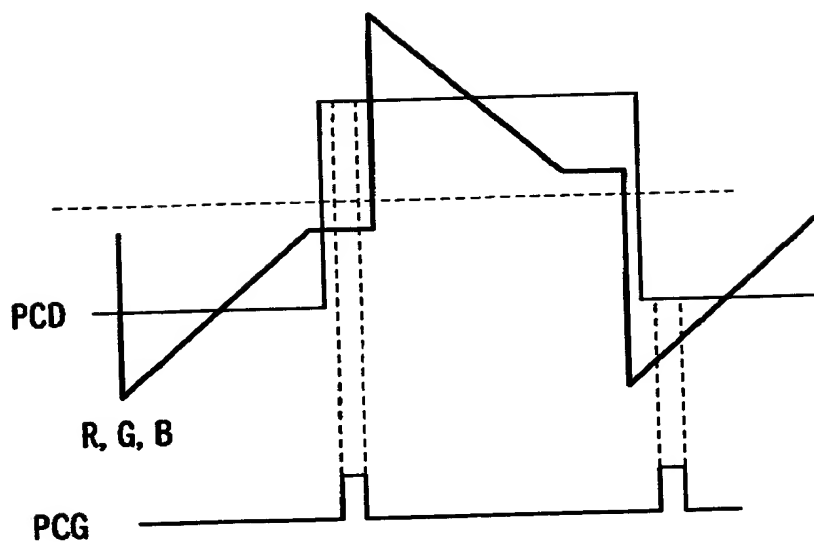


【図 15】

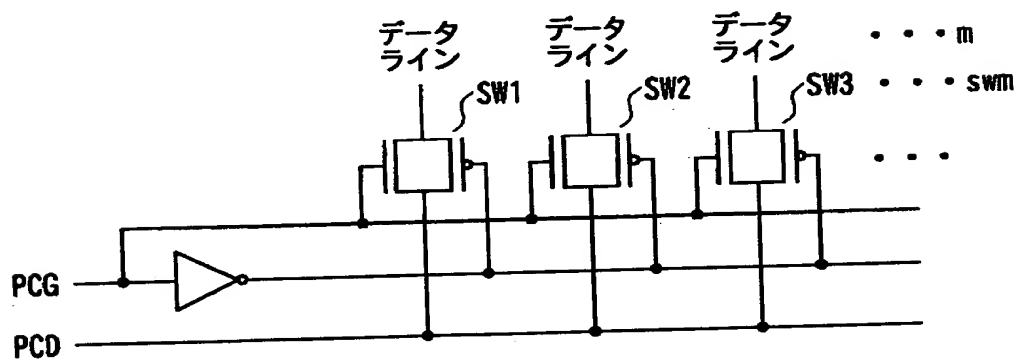


パージアル表示時のタイミングチャート (駆動方法 3)

【図16】

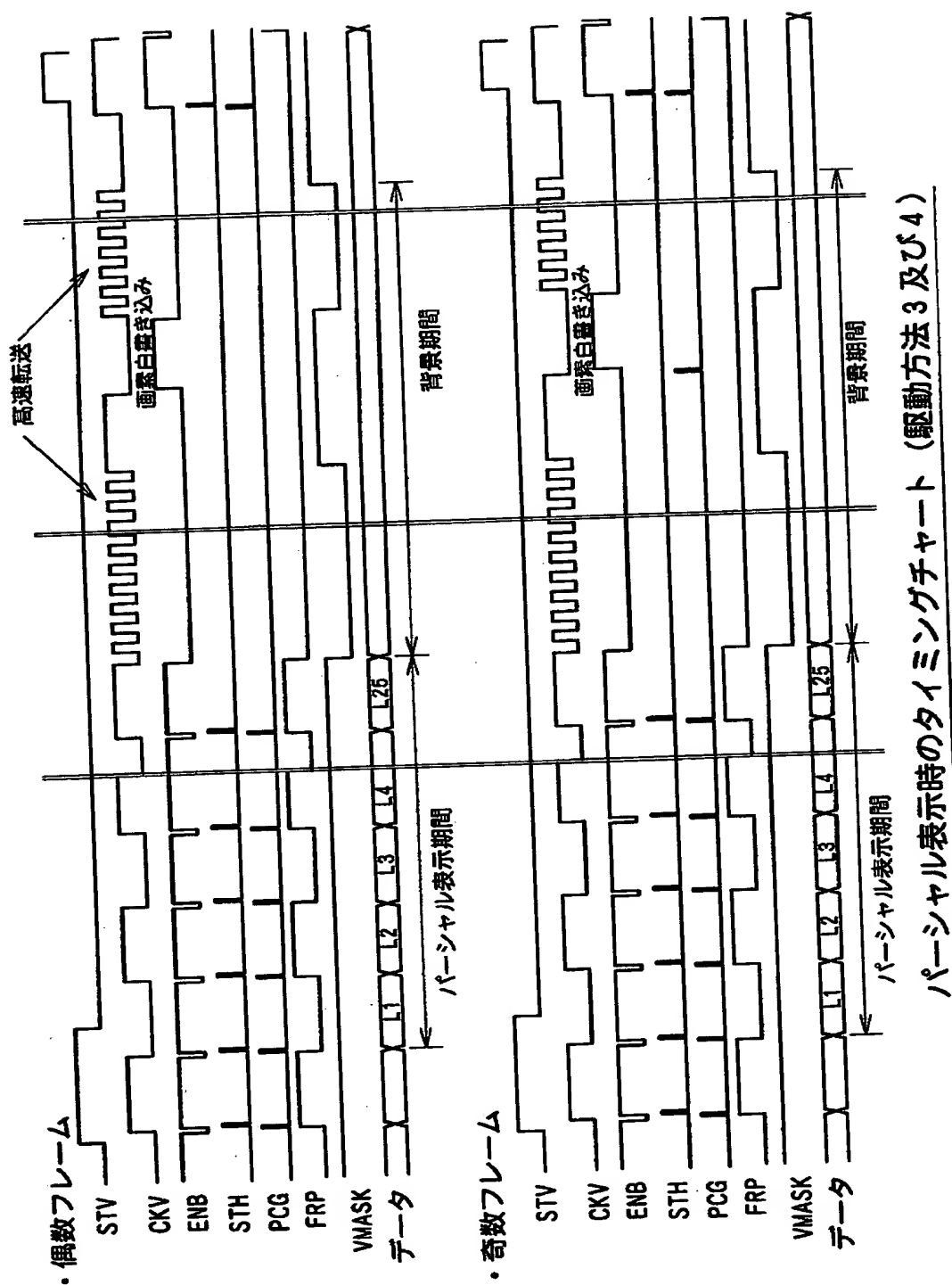


【図17】



プリチャージドライバ 230

【図18】



【書類名】 要約書

【要約】

【課題】 表示パネルの構成を変更することなく任意の位置に任意のパーシャル表示を可能とする。

【解決手段】  $n$  行  $m$  列マトリクスの画素を備える液晶表示装置などの駆動に際し、パーシャル表示命令が出された場合に、1 フレーム期間中に、 $n$  行  $m$  列マトリクスの内、設定可能な  $s$  行  $m$  列パーシャル表示領域 202 に対し、各行を順次選択して所定のパーシャル表示データを書き込み、パーシャル表示領域 202 以外の背景表示領域 204 にはオフ表示（白表示）データを書き込む。オフ表示書き込み領域 204 w は、1 フレーム期間中、背景表示領域 204 の所定の  $k$  行  $m$  列のみで残りは選択されない。 $k$  行は各フレーム毎に順にシフト処理され、背景表示領域 204 では、 $(n-s)/k$  フレームかけて全領域の画素にオフ表示データが書き込まれる。オフ表示データの書き込みは、ライン反転及び  $(n-s)/k$  フレーム毎に基準電圧に対する極性を反転させて行い、背景表示領域の画素を確実にオフ表示データで反転駆動する。

【選択図】 図 2



出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社